

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-188387

(43)Date of publication of application : 08.07.1994

(51)Int.Cl.

H01L 27/108

G11C 11/407

H01L 27/04

(21)Application number : 04-338705

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 18.12.1992

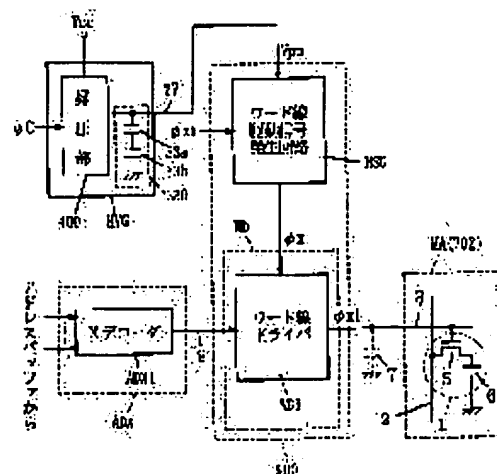
(72)Inventor : HIDA YOICHI
TOMIUE KENJI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To improve the reliability of capacity for stabilizing a high voltage for word wire driver.

CONSTITUTION: In a semiconductor memory device containing a step-up circuit 400 constantly generating a high voltage and a word wire drive circuit (WDi) for transmitting a high voltage from the step-up circuit to a selection word wire 3, the capacitor for stabilizing the high voltage generated by the step-up circuit is made of a series body of a capacitive element utilizing FET having a gate insulation film thickness equivalent to an insulation gate type field effect transistor (FET) within the memory device.



LEGAL STATUS

[Date of request for examination]

20.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2851757

[Date of registration] 13.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-188387

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
G 1 1 C 11/407				
H 0 1 L 27/04		C 8427-4M		
		7210-4M	H 0 1 L 27/ 10	3 2 5 N
		6741-5L	G 1 1 C 11/ 34	3 5 4 F

審査請求 未請求 請求項の数5(全 27 頁) 最終頁に続く

(21)出願番号 特願平4-338705

(22)出願日 平成4年(1992)12月18日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 飛田 洋一

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(72)発明者 富上 健司

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

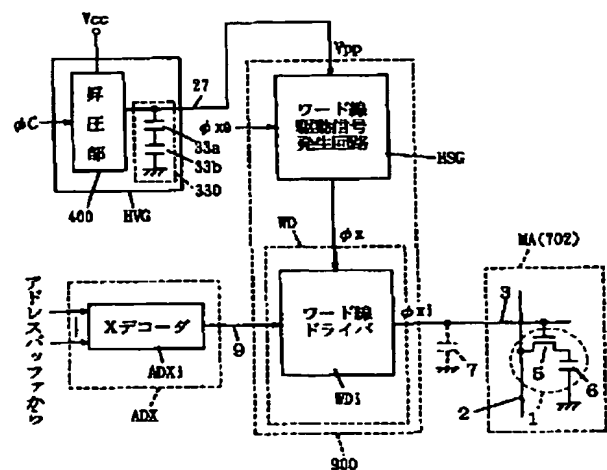
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 ワード線駆動用高電圧を安定化するための容量の信頼性を改善する。

【構成】 高電圧を定常的に発生する昇圧回路(400)と、昇圧回路からの高電圧を選択ワード線(3)上へ伝達するワード線ドライブ回路(WDi)とを含む半導体記憶装置において、昇圧回路が発生する高電圧を安定化させるための容量を、記憶装置内の絶縁ゲート型電界効果トランジスタ(FET)と同一ゲート絶縁膜膜厚を有するFETを利用する容量性素子の直列体で構成する。



1

【特許請求の範囲】

【請求項1】 行列状に配置された複数のメモリセルを含むメモリセルアレイと、

各々に1行のメモリセルが接続される複数のワード線と、

アドレス信号に応答して、前記複数のワード線からワード線を選択するためのワード線選択信号を発生するワード線選択手段と、

第1の電源電圧ノードに印加される第1の電源電圧を昇圧して高電圧を発生する昇圧手段と、

前記ワード線選択手段からのワード線選択信号に応答して、前記昇圧手段が発生する高電圧を選択されたワード線上へ伝達するためのワード線駆動手段と、

前記昇圧手段の出力ノードと第2の電源電圧ノードとの間に互いに直列に接続される複数の容量性素子とを備える、半導体記憶装置。

【請求項2】 前記メモリセルの各々は、絶縁ゲート型電界効果トランジスタを含み、かつ前記メモリセルアレイ部分へ直接信号を伝達する回路部分はその構成要素として絶縁ゲート型電界効果トランジスタを備え、

前記複数の容量性素子の各々は、前記メモリセルのトランジスタまたは前記回路部分の構成要素のトランジスタと同じ絶縁膜膜厚を有する絶縁ゲート型電界効果トランジスタを用いて構成される、請求項1に記載の半導体記憶装置。

【請求項3】 前記半導体記憶装置は、外部から与えられる電源電圧を降圧して内部電源電圧を発生する降圧回路を含み、

前記複数の容量性素子の各々は、前記内部電源電圧が印加される回路に含まれる絶縁ゲート型電界効果トランジスタと同じ絶縁膜膜厚を有する絶縁ゲート型電界効果トランジスタを用いて構成される、請求項1に記載の半導体記憶装置。

【請求項4】 行および列のマトリクス状に配置された複数のメモリセルを含むメモリセルアレイと、

各々に1行のメモリセルが接続される複数のワード線と、

アドレス信号に応答して、前記複数のワード線からワード線を選択するためのワード線選択信号を発生するワード線選択手段と、

第1の電源電圧を昇圧して高電圧を発生する昇圧手段と、

前記ワード線選択手段からのワード線選択信号に応答して、前記昇圧手段が発生した高電圧を該選択されたワード線上へ伝達するためのワード線駆動手段と、

絶縁ゲート型電界効果トランジスタを構成要素とし、外部端子と直接接続されて装置外部と信号の入力または出力を行なうための第1の回路と、

前記第1の回路の前記絶縁ゲート型電界効果トランジスタのゲート絶縁膜と同じ絶縁膜膜厚を有する絶縁ゲート

2

型電界効果トランジスタで構成され、前記昇圧手段の出力ノードと第2の電源電圧源との間に設けられる容量性素子を含む、半導体記憶装置。

【請求項5】 クロック信号が入力されるクロック信号入力ノードに一方電極が接続される昇圧用容量性素子と、

電源電位が印加される電源電位ノードと前記昇圧用容量性素子の他方電極との間に接続される第1のダイオード素子と、

10 前記昇圧用容量性素子の前記他方電極と出力ノードとの間に接続される第2のダイオード素子と、

前記出力ノードと接地電位ノードとの間に直列に接続される複数の安定化用容量性素子とを備え、前記出力ノードに前記電源電位ノードに印加される電源電位よりも高い電位を出力する高電圧発生手段を備えることを特徴とする、半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体記憶装置に関する、特に、選択されたワード線上へ内部電源電圧以上の電位レベルに昇圧された駆動信号を伝達するための回路の改良に関する。より特定的には、この発明は、昇圧ワード線駆動信号を発生するために用いられる昇圧回路の出力電圧を安定化させるための構成に関する。

【0002】

【従来の技術】 図25は、従来から用いられているダイナミック・ランダム・アクセス・メモリの全体の構成を概略的に示す図である。図25において、ダイナミック・ランダム・アクセス・メモリは、情報を記憶するメモリセルが行および列からなるマトリクス状に配列されたメモリセルアレイMAと、外部から与えられる外部アドレスA0～Anに応答して、内部アドレスを発生するアドレスバッファABと、アドレスバッファABからの内部行アドレスを受け、メモリセルアレイMAのうちの対応の行を選択するワード線選択信号を発生するXデコーダADXと、XデコーダADXからのワード線選択信号に応答して、このワード線選択信号を増幅して選択された行（ワード線）上に伝達するワード線ドライブ回路WDと、アドレスバッファABから内部列アドレスを受け、メモリセルアレイMAの対応の列を選択する列選択信号を発生するYデコーダADYとを含む。

【0003】 アドレスバッファABは、メモリセルアレイMAの行を指定する行アドレスとメモリセルアレイMAの列を指定する列アドレスとを時分割的に受け、それぞれ所定のタイミングで内部行アドレスおよび内部列アドレスを発生し、それぞれXデコーダADXおよびYデコーダADYに与える。

【0004】 外部アドレスA0～Anにより指定されたメモリセル（選択された行と選択された列との交差部に対応して設けられたメモリセル）のデータを読み出すため

50

3

に、XデコーダAD_Xからのワード線選択信号により選択されかつワード線ドライブ回路WDにより駆動信号が伝達された行に接続されるメモリセルのデータを検知し増幅するセンスアンプと、YデコーダAD_Yからの列選択信号に回答して、メモリセルアレイMAにおいて、選択された行（ワード線）のメモリセルのうち対応の列に接続されるメモリセルのデータを出力バッファOBへ伝達する入出力インタフェース（IO）を含む。図25において、センスアンプと入出力インタフェース（IO）とが1つのブロックSIにより示される。

【0005】出力バッファOBは、入出力インタフェース（IO）を介して伝達された内部データから外部読出データを生成し、装置外部へ出力する。

【0006】図25においてはデータを読出すための出力バッファOBのみが示される。データを書込むための入力バッファも設けられる。この入力バッファは出力バッファOBと同一のピン端子を介して装置外部とデータの入力を行なう構成であってもよく、異なるピン端子を介してデータを入力する構成が用いられてもよい。入力バッファは外部書込データから内部書込データを生成し、入出力インタフェース（IO）を介して選択されたメモリセルへデータを書込む。

【0007】ダイナミック・ランダム・アクセス・メモリの各種動作タイミングを制御するための制御信号を発生するための制御信号発生系周辺回路CGが設けられる。制御信号発生系周辺回路CGは、外部から与えられる制御クロック信号、すなわちロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEに回答して、後に説明する、ワード線駆動信号 ϕ_x 、イコライズ信号 ϕ_E 、プリチャージ信号 ϕ_p 、センスアンプ活性化信号 ϕ_A および ϕ_B などを発生する。制御信号発生系周辺回路CGは、また、ビット線等を所定電位にプリチャージするためのプリチャージ電位VBをも発生する。

【0008】図26は、図25に示すメモリセルアレイおよびその関連の回路の概略構成を示す図である。図26において、メモリセルアレイMAは、行および列のマトリクス（ n 行 m 列）に配列された複数のメモリセル1と、このメモリセルアレイMAの行に対応して設けられるワード線WL1、WL2、…WL_nと、メモリセルアレイMAの各列に対応して配置されるビット線BL0、/BL0、BL1、/BL1、…BL_m、/BL_mを含む。ビット線BL（ビット線BL0～BL_mを総称的に示す）とビット線/BL（相補ビット線/BL0～/BL_mを総称的に示す）は折返し型相補ビット線対を構成し、1対のビット線がメモリセルアレイMAの1列のメモリセル1を接続する。

【0009】図26においては、ビット線BL0と相補ビット線/BL0が1つのビット線対を構成し、ビット線BL1と相補ビット線/BL1とが1対のビット線を

4

構成し、以下同様にして、ビット線BL_mと相補ビット線/BL_mがビット線対を構成する。

【0010】メモリセル1は、1本のワード線と1対のビット線の交差部に対応して設けられる。すなわち、1本のワード線WL（ワード線WL1～WL_nを総称的に示す）とビット線対BL、/BLのうちの一方のビット線との交差部に対応してメモリセル1が設けられる。

【0011】ビット線対BL0、/BL0、…BL_m、/BL_mの各々には、ダイナミック・ランダム・アクセス・メモリのスタンバイ時に各ビット線の電位をイコライズしかつ所定の電位VBにプリチャージするためのプリチャージ/イコライズ（P/E）回路150が設けられる。このプリチャージ/イコライズ回路150の各々はプリチャージ指示信号 ϕ_P およびイコライズ指示信号 ϕ_E に回答して導通状態となり、各ビット線BL0、/BL0～BL_m、/BL_mの電位を所定のプリチャージ電位VBにプリチャージしかつイコライズする。

【0012】ビット線対BLおよび/BLの各々に対し、選択されたメモリセルのデータを検知し増幅するためのセンスアンプ回路160が設けられる。センスアンプ回路160は、信号線162および164を介してそれぞれ伝達される第1のセンスアンプ駆動信号 ϕ_A および第2のセンスアンプ駆動信号 ϕ_B に回答して活性化され、対応のビット線対の電位差を検出して差動的に増幅する。

【0013】ビット線対BL0、/BL0、…BL_m、/BL_mの各々に対して、YデコーダAD_Yからの列選択信号にY0～Y_mに回答してオン状態となり、対応のビット線対を内部データバスDB、/DBへ接続する列選択ゲートT0a、T0b、T1a、T1b、…T_na、およびT_nbが設けられる。内部データバスDB、/DBは図25に示す出力バッファOBへ接続される。

【0014】列選択ゲートT0a、T0bはビット線対BL0、/BL0に対して設けられ、列選択ゲートT1aおよびT1bがビット線対BL1、および/BL1に対して設けられ、列選択ゲートT_maおよびT_mbはビット線対BL_m、および/BL_mに対して設けられる。

【0015】YデコーダAD_Yからの列選択信号Y0～Y_mは列アドレスに従って1つのみが活性状態となり、対応の列選択ゲートがオン状態となる。これにより対応のビット線対が内部データバスBおよび/DBへ接続される。

【0016】図27は、図26に示す構成のうち1本のワード線に関連する部分の構成を示す図であり、特に、ワード線を駆動する回路の構成を具体的に示す図である。

【0017】図27において、ワード線3（WL_i）とビット線2（BL_j）の交差部に配置されるメモリセル1は、情報を電荷の形態で記憶するメモリキャパシタ6と、ワード線3上に伝達されるワード線駆動信号 ϕ_{xi}

5

にตอบสนองしてオン状態となり、メモリキャパシタ6をビット線2へ接続する選択トランジスタ5を含む。選択トランジスタ5は、 n チャネル絶縁ゲート型電界効果トランジスタ（以下、単に n -FETと称す）で構成され、そのゲートがワード線3に接続され、そのソースがビット線2に接続され、そのドレインが記憶ノード4に接続される。

【0018】メモリキャパシタ6は、その一方電極が記憶ノード4を介して選択トランジスタ5のドレインに接続され、他方電極は通常、動作電源電圧 V_{cc} の1/2の電位を受けるように接続される。

【0019】ワード線3には、寄生容量7が付随する。この寄生容量7は、メモリセル1の選択トランジスタ5のゲート容量も含む。

【0020】ワード線3 (WL_i) に対応して、アドレスバッファからの内部行アドレスをデコードし、ワード線3 (WL_i) に対するワード線選択信号を発生する（単位）Xデコーダ ADX_i と、Xデコーダ ADX_i の出力をノード9を介して受けワード線3上にワード線駆動信号 ϕ_{xi} を伝達する（単位）ワード線ドライバ WD_i が設けられる。

【0021】Xデコーダ ADX_i は、選択状態となったとき、“H”の信号をノード9上に発生する。

【0022】ワード線ドライバ WD_i は、ノード9上に与えられたXデコーダ ADX_i の信号を通過させる n -FET14と、 n -FET14からノード15上に伝達された信号にตอบสนองして、ノード10へ与えられたワード線駆動信号 ϕ_x をノード13を介してワード線3上へ伝達する n -FET11と、ノード9上に与えられたXデコーダ ADX の出力を反転するインバータ回路16と、インバータ回路16の出力にตอบสนองして、ノード13を介してワード線3 (WL_i) の電位を接地電位レベルへと放電する n -FET12を含む。

【0023】 n -FET14は、そのゲートに内部動作電源電圧 V_{cc} を受ける。ノード10に与えられるワード線駆動信号 ϕ_x は内部動作電源電圧 V_{cc} よりも高い電位レベルへ昇圧された信号である。この場合、 n -FET11のセルフブートストラップ機能により、ノード15の電位が上昇する（ n -FETのゲートとドレインとの間の容量結合による）。このとき、ノード15の昇圧電位がノード9へ伝達されるのを防止するために n -FET14が設けられる。すなわち、 n -FET14はデカップリングトランジスタとして機能する。

【0024】インバータ回路16はCMOS構成を備え、その動作電源電圧はノード8に与えられる内部動作電源電圧 V_{cc} に設定される（図示せず）。

【0025】このワード線ドライバ WD_i は、Xデコーダ ADx_i からの内部動作電源電圧 V_{cc} レベルのワード線選択信号を受け、この信号にワード線3を駆動する能力を与える機能を備える。

6

【0026】昇圧された電位レベルのワード線駆動信号 ϕ_x を発生するために、パルス状の繰返し信号 ϕ_c にตอบสนองして定期的に内部動作電源電圧 V_{cc} を昇圧して昇圧された高電圧 V_{pp} を発生する高電圧発生回路HVGと、この高電圧発生回路HVGから発生された高電圧 V_{pp} をクロック信号 ϕ_{x0} にตอบสนองしてノード18上へワード線駆動信号 ϕ_x として伝達するワード線駆動信号発生回路HSGを含む。クロック信号 ϕ_{x0} は、Xデコーダ ADX_i の出力電位が確定するよりも早いタイミングで発生される（ロウアドレスストロブ信号/RASの立下がりにตอบสนองして所定時間経過後に発生される）。

【0027】パルス状の繰返し信号 ϕ_c は、オンチップのリングオシレータから発生されるかまたは外部から与えられる。

【0028】高電圧発生回路HVGは、内部電源電圧供給ノード8とノード32との間に設けられる n -FET29と、ノード35とノード27との間に設けられる n -FET30と、ノード28とノード35との間に設けられる容量31と、出力ノード27と第2の電源電圧供給源（接地電位源）との間に設けられる容量33を含む。

【0029】 n -FET29はそのゲートとドレインが接続され、ノード8へ与えられた内部動作電源電圧 V_{cc} に従ってノード32を充電する。 n -FET30はまたゲートとドレインとが接続され、ダイオードとして機能する。容量31は、ノード28とノード35とを容量結合する。ノード35（ノード32）には寄生容量34が付随する。容量33は、出力ノード27に発生する高電圧 V_{pp} を安定化する機能を備える。容量31は、ノード35の電位レベルを繰返し信号 ϕ_c により昇圧する機能を備える。この高電圧発生回路HVGは容量31のチャージポンプ機能により、内部電源電圧 V_{cc} よりも高い電圧レベルの高電圧 V_{pp} を発生する。

【0030】ワード線駆動信号発生回路HSGは、ノード17とノード25との間に設けられる p チャネル絶縁ゲート型電界効果トランジスタ（以下、単に p -FETと称す）23と、ノード17とノード22との間に設けられる p -FET20と、ノード19へ与えられる制御信号 ϕ_{x0} にตอบสนองしてノード25を接地電位レベルへ放電する n -FET24と、制御信号 ϕ_{x0} を反転するインバータ回路26と、インバータ回路26の出力にตอบสนองしてノード22の電位を接地レベルへ立下げる n -FET21を含む。 p -FET23と p -FET20はそのゲートとドレインとが交差結合される。ノード17へは高電圧発生回路HVGからの高電圧 V_{pp} が伝達される。ワード線駆動信号発生回路HSGの出力ノード18にワード線駆動信号 ϕ_x が発生する。このワード線駆動信号発生回路HSGは、ノード19へ与えられる内部動作電源電圧 V_{cc} レベルの制御信号 ϕ_{x0} を高電圧 V_{pp} レベルのワード線駆動信号 ϕ_x に変換する機能を備え

7

る。この機能を備える回路の構成は、たとえば特開昭49-114337号公報に示されている。

【0031】高電圧発生回路HVGおよびワード線駆動信号発生回路HSGは、図25に示す制御信号発生系周辺回路CSGに含まれる。またインバータ回路26は、CMOS構成を備え、内部動作電源電圧Vccを動作電源電圧として動作する。高電圧発生回路HVGおよびワード線駆動信号発生回路HSGは、ワード線3（ワード線WL0～WL_n）それぞれに設けられたワード線ドライバに対し共通に設けられる。次に図27に示す各回路部分の動作について説明する。

【0032】まず高電圧発生回路HVGの動作について、その動作波形図である図28を併せて参照して説明する。ノード28へ与えられる繰返し信号φcはオンチップまたは外部のたとえばリング発振を利用した発振回路から発生され、所定の周期およびパルス幅を有するパルス信号と仮定する。

【0033】内部動作電源電圧供給端子8に内部動作電源電圧Vccを印加すると、ノード32および35の電位は、充電用n-FET29によりVcc-VTNの電位レベルに充電される。ここでVTNはn-FET29のしきい値電圧である。また、整流用のn-FET30により、ノード27の電位レベルはVcc-2・VTNの電位レベルに充電される。

【0034】ノード28へ繰返し信号φcが与えられると、この高電圧発生回路HVGにおける昇圧動作が開始される。今、説明を簡単にするために、ノード32および出力ノード27の電位レベルが上述の電位レベルVcc-VTNおよびVcc-2・VTNの電位レベルに安

$$V_{32max} = (V_{cc} - V_{TN}) + C_{31} \cdot V_{cc} / (C_{31} + C_{34})$$

となる。ここで、C34は寄生容量34の容量値を示す。このときの出力ノード27の電位V27は、ノード32（ノード35）の電位V32（=V35）よりもn

$$\begin{aligned} V_{27max} &= V_{32max} - V_{TN} \\ &= (V_{cc} - 2 \cdot V_{TN}) + C_{31} \cdot V_{cc} / (C_{31} + C_{34}) \end{aligned}$$

となる。

【0039】実際の回路においては、昇圧容量31の容量値C31を、寄生容量34の容量値C34に比べて十分大きくすることは容易である。したがって、近似的に上述の2つの式における第3項は内部動作電源電圧Vccに等しくなる。今、Vcc=3.3V、VTN=0.8Vとすると、上述の式から、出力ノード27の電位V27maxは、

$$V_{27max} = 2(V_{cc} - V_{TN}) = 5.0(V)$$

となる。すなわち出力ノード27の電位V27maxは、内部動作電源電圧Vccの1.5倍程度の大きな値となる。この高電圧は、大きな容量値を有する安定化容量33により安定化される。

【0040】次に、ワード線駆動信号発生回路およびワード線ドライバの動作について、その動作波形図である

8

*定した後に、この高電圧発生回路HVGにおける昇圧動作が開始されるものとする。

【0035】ノード32および出力ノード27の電位がそれぞれVcc-VTNおよびVcc-2・VTNとなった後に繰返し信号φcが立上がると、ノード35へ昇圧用容量31を介して電荷が注入され、このノード35の電位が上昇する。このノード35の電位上昇により、n-FET30を介して出力ノード27へ電荷が供給され、出力ノード27の電位V27は、

$$\Delta V_{27} = C_{31} \cdot V_{cc} / (C_{31} + C_{33})$$

だけ上昇する。ここで、C31は、昇圧容量31の容量値、C33は、安定化容量33の容量値を示す。

【0036】次に、繰返し信号φcが立下がると、ノード32（ノード35）の電位は、昇圧容量31による容量結合により低下する。しかしながら、電位V27は、n-FET30がゲートとドレインとが接続されてダイオードとして機能しているため、n-FET30が非導通状態となり、出力ノード27の電位は低下せず、先の繰返し信号φcの立下がり時において上昇した電位を保持する。繰返し信号φcの立下がりに応答して低下したノード32およびノード35の電位はn-FET29により充電されて電位Vcc-VTNレベルに復帰する。

【0037】上述の動作を繰返すことにより、昇圧容量31を介してノード32および35へ電荷が注入され、その電位が上昇する毎に、n-FET30を介して出力ノード27へ電荷が注入され、出力ノード27の電位が徐々に上昇していく。

【0038】ノード32（ノード35）の最終的に到達する電位V32maxは、

*n-FET30のしきい値電圧VTNだけ低い値となる。すなわち、出力ノード27の最終的な電位V27maxは、

図29を参照して説明する。

【0041】時刻t0において、制御信号φx0が“L”レベルのとき、n-FET24はオフ状態であり、一方n-FET21はインバータ回路26によりオン状態となる。これによりノード22の電位が接地電位レベルの“L”となり、ノード25の電位はp-FET23を介してノード17へ与えられた高電圧Vppレベルとなる。ノード25の電位が高電圧Vppレベルとなると、p-FET20は完全にオフ状態となり、ノード22の電位は、n-FET20を介して確実に接地電位レベルまで放電され、ワード線駆動信号φxの電位レベルは完全に接地電位レベルとなる。

【0042】一方、ワード線ドライバWDiにおいてはXデコーダADX_iの出力電位（ノード9の電位）が“L”（接地電位レベル）であり、n-FET12がオ

9

ン状態、 $n-FET11$ がオフ状態となる。これによりワード線3上のワード線駆動信号 $\phi x i$ の電位レベルは接地電位レベルの“L”となる。

【0043】次いで、ロウアドレスストロブ信号/RAS(図25参照)が“L”に立下がると、行選択動作が始まる。このロウアドレスストロブ信号/RASの立下がりに応答してXデコードADX(図25参照)が行選択動作を実行する。今、図27に示す(単位)XデコードADX i が選択される状態を想定する。

【0044】時刻 $t1$ においてノード9の電位レベルが内部電源電圧 V_{cc} レベルに立上ると、ワード線ドライバWD i のインバータ回路16の出力は接地電位レベルの“L”となり $n-FET12$ がオン状態からオフ状態となり、またノード15が $n-FET14$ を介してノード9から充電され、その電位レベルが上昇する。ノード9とノード15との間には $n-FET14$ が設けられており、この $n-FET14$ のゲートは内部動作電源電圧 V_{cc} を与える電源電圧供給ノード8に接続される。したがって、ノード15の電位レベルは $V_{cc}-V_{TN}$ の電位レベルまで上昇する。ここで V_{TN} は $n-FET14$ のしきい値電圧である。これにより、 $n-FET11$ がオン状態となり、ワード線3は、 $n-FET11$ および21を介して放電され、接地電位レベルを維持する。

【0045】ノード9上の電位レベルが安定すると、ノード19へ与えられる制御信号 $\phi x 0$ が時刻 $t2$ において“H”に立上がる。この制御信号 $\phi x 0$ はロウアドレスストロブ信号/RASの立下がりに応答して所定時間経過後に内部動作電源電圧 V_{cc} レベルにまで立上がる。制御信号 $\phi x 0$ が内部動作電源電圧 V_{cc} レベルにまで立上ると、 $n-FET24$ がオン状態となり、 $n-FET21$ がオフ状態となる。これにより、ノード25が $n-FET24$ により接地電位レベルへと放電され、これに応じて $p-FET20$ がオン状態となり、ノード22の電位を上昇させる。最終的に、 $p-FET23$ がオフ状態となり、ノード25が接地電位レベルにまで低下すると、ノード22の電位レベルは $p-FET20$ を介してノード17へ与えられた高電圧 V_{pp} レベルとなる。これにより、ワード線駆動信号 ϕx が発生される。

【0046】ワード線ドライバWD i においてはノード10へ高電圧 V_{pp} レベルのワード線駆動信号 ϕx が与えられると、ノード15の電位レベルは、 $n-FET11$ のセルフブートストラップ機能により($n-FET$ のゲートとドレインとの容量結合により)、ノード15の電位レベルはこのノード10の電圧変化分(高電圧 V_{pp})だけ上昇する。この結果、ノード15の電位レベルは $V_{cc}-V_{TN}+V_{pp}$ レベル、すなわち、 $V_{pp}+V_{TN}$ 以上となり、 $n-FET11$ におけるしきい値電圧の損失なく、ワード線3上に伝達されるワード線駆動

10

信号 $\phi x i$ の電位レベルは高電圧 V_{pp} のレベルにまで上昇する。

【0047】このワード線3上に伝達されるワード線駆動信号 $\phi x i$ が高電圧 V_{pp} レベルにまで上昇することにより、メモリセル1内の選択トランジスタ5が高速で十分なオン状態となり、この選択トランジスタ($n-FET$)5におけるしきい値電圧の損失なくメモリ容量6に格納された電荷がビット線2上に伝達される。

【0048】この後センスアンプのセンス動作などが行なわれ、選択されたメモリセルのデータの読出または書き込みが実行される。

【0049】1つのメモリサイクルが完了すると、時刻 $t3$ において制御信号 $\phi x 0$ が“L”に立下がり、またXデコードADX i の出力も“L”に立下がり、各信号およびノードの電位は時刻 $t0$ のときと同様の状態に復帰する。

【0050】ここで、ワード線3の充電動作、すなわちその電位の立上げについて詳細に説明すると以下になる。

【0051】ワード線3の充電は、高電圧発生回路HVGに含まれる安定化容量33からワード線3の寄生容量7への電荷の転送によって実現される。したがって、高電圧発生回路の出力ノード27の電位レベルは、ワード線選択時においてワード線3に電荷が転送されるため、幾分低下する。しかしながら安定化容量33の容量値をワード線3の寄生容量7の容量値に対し十分大きな値に設定しておけば、出力ノード27の電位レベルはほとんど低下せず、したがって選択ワード線の電位レベルもその高電圧 V_{pp} レベルを保持することができる。

【0052】すなわち、ワード線3の電位レベル $V(WL)$ は、

$$V(WL) = C_{33} \cdot V_{pp} / (C_{33} + C_7)$$

で与えられるため、寄生容量7の容量値 C_7 が安定化容量33の容量値 C_{33} に比べて無視することのできる値であれば、ワード線3上の電位レベルは高電圧 V_{pp} レベルとすることができる。

【0053】安定化容量33には、高密度、高集積化の観点から、比較的大きな容量値を小占有面積で実現することのできるスペース効率の良い容量を用いることが必要となる。このような容量として、一般に絶縁ゲート型電界効果トランジスタを利用するMOSキャパシタが利用される。

【0054】図30(A)にMOSキャパシタの断面構造を示し、図30(B)にその電気的接続回路を示し、図30(C)に電気的等価回路を示す。

【0055】図30(A)において、MOSキャパシタは、P型半導体基板101上の所定領域に形成されるN型不純物領域102aおよび102bと、半導体基板101の表面上に形成されるゲート絶縁膜(キャパシタ絶縁膜)104と、ゲート絶縁膜104上に形成されるゲ

11

ート電極103とを備える。不純物領域102aおよび102bは容量の一方の電極取出部(図30(A)において接地電位GND、すなわち接地線に接続される電極取出部)を与える。ゲート電極103は、容量の他方電極を構成し、多結晶シリコン、またはモリブデンシリサイドもしくはタングステンシリサイド等の高融点金属シリサイド等、または多結晶シリコンと高融点金属との多層構造により形成される。

【0056】ゲート電極103は高電圧 V_{pp} を受ける出力ノード27に接続される。ゲート電極103と出力ノード27との間の電源配線および接地線はアルミニウム等の低抵抗金属で形成される。ゲート絶縁膜104は、二酸化シリコン(SiO_2)などの絶縁膜を用いて形成される。ソースおよびドレイン電極108は、アルミニウム等の低抵抗導体で形成され、不純物領域102aおよび102bと電気的に接触し、接地線からの接地電位GNDを不純物領域102aおよび102bへ与える。

【0057】電極103および108を互いに電気的に絶縁するために、層間絶縁膜109が設けられる。

【0058】ゲート電極103に、そのしきい値電圧以上の電圧が印加されると、半導体基板101表面に反転層(N型反転層)101が形成される。この反転層101が、容量の一方電極を形成する。すなわち、図30

(A)に示すMOSキャパシタにおいて、容量の一方電極は反転層101であり、他方電極はゲート電極103である。反転層101には、不純物領域102を介して接地電位GNDが印加される。一方電極の接地電位GNDへの接続が実現され、かつ他方電極(ゲート電極103)に高電圧 V_{pp} が印加されると、この容量は図27*30

$$E = V/t = 3.3 \cdot 1.5 / 100 = 5 \cdot 10^6 \text{ [V/cm]}$$

となり、絶縁耐圧 $10 \cdot 10^6 \text{ V/cm}$ よりも十分低い電界がゲート絶縁膜に印加されており、これによりゲート絶縁膜の信頼性を確保することが図られている。

【0064】しかしながら、ダイナミック・ランダム・アクセス・メモリの動作寿命試験を行なったところ、5Vを動作電源電圧とするダイナミック・ランダム・アクセス・メモリの寿命よりも3.3Vを動作電源電圧とするダイナミック・ランダム・アクセス・メモリの寿命が短くなることが判明した。ここで、動作寿命試験において、3.3Vのダイナミック・ランダム・アクセス・メモリに対しては周囲温度 125°C 、内部動作電源電圧 V_{cc} を5V($V_{pp}=5 \times 1.5=7.5 \text{ (V)}$)として1000時間動作させ、5Vを動作電源電圧 V_{cc} とするダイナミック・ランダム・アクセス・メモリに対しては周囲温度 125°C 、動作電源電圧 V_{cc} が7.5V($V_{pp}=7.5 \times 1.5=11.25 \text{ (V)}$)を用いて動作寿命試験を行なった。

【0065】さらに動作条件を過酷にし、1000時間の動作寿命試験が1500時間の動作寿命試験に対応す

12

*に示す安定化容量として機能する。

【0059】MOSキャパシタは、メモリチップ内部で使用されるMOSトランジスタ(絶縁ゲート型電界効果トランジスタ)と同一の構成を有しており、MOSトランジスタのソース電極およびドレイン電極を共通に接地電位GNDに接続したMOSトランジスタと見なすことができる(図30(B)および図30(C)参照)。

【0060】図30(A)に示すようなMOS構造の容量を用いるのは、メモリチップ上ではこの構造を用いた容量では誘電体(キャパシタ絶縁膜)の厚さを薄くすることができ、また、その近傍の回路の空き領域を利用して形成することができ、スペース効率の良い容量を形成することができるからである。

【0061】

【発明が解決しようとする課題】一般的に、ダイナミック・ランダム・アクセス・メモリにおいては、選択ワード線の電位レベルは、メモリセルからのデータの読出速度を速くするためおよびメモリセルに十分な電位レベルのデータを高速で書込むための理由により内部動作電源電圧(より厳密にはメモリセルに書込まれる高レベル側のデータに対応する電位レベル)の約1.5倍の電位レベルが必要とされる。

【0062】ダイナミック・ランダム・アクセス・メモリにおいて用いられるFET(絶縁ゲート型電界効果トランジスタ)は、その動作速度などの性能および安定性などを考慮して、そのゲート絶縁膜の膜厚が決定される。たとえば、動作電源電圧が3.3Vの場合、FETのゲート絶縁膜は100Å程度に設定される。

【0063】この場合、ゲート絶縁膜に印加される電界Eは、

るような加速動作寿命試験を行なったところ、通常の規格の動作寿命試験では3.3Vおよび5.0Vの V_{cc} のDRAMの不良率にはほぼ差はなかったが、加速寿命動作試験においては、3.3V動作のダイナミック・ランダム・アクセス・メモリの不良率が5V動作のダイナミック・ランダム・アクセス・メモリのそれよりも高くなる場合があった。

【0066】この原因を追及すると、高電圧安定のために用いられる容量が絶縁破壊を生じており、高電圧出力ノードと接地電位との短絡が生じ、高電圧を安定に発生することができなくなっているのが1つの主要原因であることが判明した。この絶縁破壊が生じる原因としては、製造時におけるゲート絶縁膜の膜厚のばらつきにより、許容値よりも大きな電界が印加される場合があるのが1つの原因であった。膜厚のばらつきの基準値が5Åであっても、膜厚が薄くなれば、その影響は大きくなるためである。

【0067】ダイナミック・ランダム・アクセス・メモリにおいては、同じ動作電源電圧が3.3Vであって

13

も、高密度および高集積化のためまたコストダウンのため、FETのサイズが小さくされ、応じてゲート絶縁膜の膜厚が90Å、80Åとさらに薄くされる。このため、高電圧安定化のための容量の絶縁特性を十分に改善する必要がある。

【0068】また、たとえ、高電界の印加による瞬時の絶縁破壊が生じなくても、長期にわたる電界印加のストレスによる絶縁膜の疲労破壊(経時絶縁破壊TDDB)が生じることが知られており、このため、たとえ絶縁破壊を起こさない電界が印加される場合であっても絶縁破壊が生じる場合があり、高電圧安定化用の容量の絶縁特性の信頼性を確保する必要がある。

【0069】またこのような安定化容量の絶縁特性の問題は、半導体記憶装置に限らず、一般に、高電圧を内部で発生して利用する集積回路装置においても同様に発生する。

【0070】それゆえ、この発明の目的は安定にワード線駆動用の高電圧を発生することのできる安定化容量を備えた半導体記憶装置を提供することである。

【0071】この発明の他の目的は、ワード線駆動用の高電圧を安定化するための容量の信頼性を改善することである。

【0072】この発明のさらに他の目的は、安定にチップ内部で高電圧を発生する高電圧発生回路を備える半導体集積回路装置を提供することである。

【0073】

【課題を解決するための手段】この発明に係る半導体記憶装置は、要約すれば、ワード線駆動用高電圧を安定化させるための容量として、複数の容量性素子の直列体を用いるか、または、静電破壊防止のために絶縁耐圧が十分大きくされた、外部端子に直接接続される入力/出力回路に含まれるFETを用いるものである。

【0074】すなわち、請求項1に係る発明は、内部動作電源電圧を昇圧して高電圧を発生する昇圧手段と、この昇圧手段が発生する高電圧を選択されたワード線に伝達するワード線駆動手段と、昇圧手段の高電圧出力ノードと第2の電源電圧源との間に直列に接続される複数の容量性素子を含む。

【0075】請求項2に係る発明は、請求項1における容量性素子として、メモリセルに含まれるFETまたは、メモリセルアレイへ直接信号を伝達する回路部分の構成要素のFETと同じゲート絶縁膜膜厚を有するFETを用いる。

【0076】請求項3に係る発明は、外部電源電圧を降圧して内部動作電源電圧を発生する降圧手段を含み、請求項1における容量性素子の各々は、この降圧された内部電源電圧が印加される回路の構成要素であるFETと同じゲート絶縁膜膜厚を有するFETを用いる。

【0077】請求項4に係る発明は、内部動作電源電圧を昇圧して高電圧を発生する昇圧手段と、この昇圧手段

14

が発生する高電圧を選択されたワード線へ伝達するワード線駆動手段と、外部端子と直接接続され装置外部と信号の入力または出力を直接行なうための、FETを構成要素とする入力または出力回路と、入力または出力回路の構成要素のFETと実質的に同じゲート絶縁膜膜厚を有するFETを用いて構成され、昇圧手段の高電圧出力ノードと第2の電源電圧源との間に接続される容量性素子を含む。

【0078】請求項5に係る発明は、半導体集積回路装置に含まれる高電圧発生手段を、クロック信号が入力されるクロック信号入力ノードに接続される一方電極を有する昇圧用容量性素子と、電源電位が印加される電源電位ノードと昇圧用容量性素子の他方電極との間に接続される第1のダイオード素子と、昇圧用容量性素子の他方電極と出力ノードとの間に接続される第2のダイオード素子と、出力ノードと接地電位ノードとの間に直列に接続される複数の安定化用容量性素子とで構成したものである。出力ノードには電源電位ノードに印加される電源電位よりも高い電位が出力される。

【0079】

【作用】請求項1に係る発明における容量性素子の直列体が、その容量分割により個々の容量性素子に印加される電界を緩和し、これにより高電圧印加時における容量性素子の信頼性を保証し、高信頼度の高電圧安定化用容量を実現することができる。

【0080】請求項2に係る発明においては、メモリセルトランジスタまたはメモリセルアレイ駆動部のトランジスタと同一製造プロセスで高電圧安定化用に用いられるFETを作成することができ、余分の製造プロセスを追加することなくゲート絶縁膜膜厚が十分制御されかつスペース効率に優れた高信頼度の高電圧安定化用容量が得られる。

【0081】請求項3に係る発明においては、内部降圧電圧が印加される回路のFETと同一製造プロセスで容量性素子を高電圧安定化用容量性素子を製造することができ、ゲート絶縁膜膜厚が十分制御されたスペース効率の良い高信頼度の高電圧安定化容量を複雑な製造プロセスを追加することなく実現することができる。

【0082】請求項4に係る発明においては、外部端子に直接接続される回路のFETのゲート絶縁膜膜厚は静電破壊防止のため十分厚くされ、このため1個のFETを用いて高信頼度の高電圧安定化容量を実現することができる。

【0083】請求項5に係る発明においては、安定化用の容量性素子が複数個直列に接続されるため、個々の安定化用容量性素子に印加される電界が緩和される。したがって、高電圧が発生した場合においても安定化用容量性素子の信頼性が確保され、安定に半導体集積回路装置内部で高電圧を発生することができる。

【0084】

15

【実施例】図1はこの発明の一実施例である半導体記憶装置の要部の構成を示す図である。図1において、ワード線駆動信号発生回路HSG、(単位)XデコーダDXi、ワード線ドライバWDiは図27に示すものと同一構成を備え、同じ動作を実行するため、対応する部分には同一参照符号を付し、その詳細説明は省略する。ワード線駆動信号発生回路HSGおよびワード線ドライバWDi(ワード線ドライバ回路WD)は選択ワード線を駆動するためのワード線駆動手段900を構成する。また、図1においては、図27の構成と同様、1本のワード線3と、1本のビット線2と、メモリセル1とが示される。メモリセル1は、1個の選択トランジスタ5と、メモリキャパシタ6を含む。

【0085】昇圧ワード線駆動信号を発生するための高電圧発生回路HVGは、繰返し信号 ϕ_c にตอบสนองして内部動作電源電圧Vccから高電圧Vppを発生するための昇圧部400と、この昇圧部400が発生する高電圧を安定化するための安定化容量330を含む。安定化容量330は、この昇圧部400の出力ノード27と第2の電源電圧源(接地電位)との間に直列に接続される複
10 数(図1においては2個)の容量性素子33aおよび33bを含む。昇圧部400は、図27に示す高電圧発生回路HVGにおいて、昇圧容量と2つのダイオード接続されたn-FETとを備える。すなわち、昇圧部400は、繰返し信号 ϕ_c にตอบสนองしてチャージポンプ動作により高電圧Vppを発生する。

【0086】安定化容量330において、容量性素子33aおよび33bに印加される電圧V33aおよびV33bは、ノード27に発生する高電圧をVppとすると、 $V33a = C33b \cdot Vpp / (C33a + C33b)$ 、 $V33b = C33a \cdot Vpp / (C33a + C33b)$ 、
20 与えられる。ここでC33aおよびC33bは容量性素子33aおよび33bの容量値を示す。したがって、容量値C33aおよびC33bが等しければ、容量性素子33aおよび33bに印加される電圧は、図27に示す1個の容量で構成する安定化容量の場合に比べて1/2倍($=Vpp/2$)となり、キャパシタ絶縁膜の膜厚が薄くても各容量性素子に印加される電圧が大幅に低減されるため、この安定化容量330の絶縁特性(絶縁耐圧および経時絶縁破壊特性)が大幅に改善され、信頼性の高い安定化容量を実現することができ、安定に高電圧Vppを発生することができる。

【0087】安定化容量330の容量値は、ワード線3の寄生容量7の容量値よりも十分大きい値に設定される。しかしながら、安定化容量330の占有面積と高電圧Vpp発生時の出力ノード27の充電速度(すなわち充電時間)とを考慮して、好ましくは安定化容量330の容量値は寄生容量7の30倍程度の大きさに設定される。たとえば、4Mダイナミック・ランダム・アクセス・メモリにおいて、寄生容量7の容量値が通常、10p

16

F程度であり、安定化容量330の容量値C330は約300pFに設定される。

【0088】容量性素子33aおよび33bは直列に接続されるため、安定化容量330の容量値C330よりも容量性素子33aおよび33bそれぞれの容量値C33aおよびC33bは大きくする必要がある。このため、容量性素子33aおよび33bとしては、できるだけスペース効率の良い素子構造を利用する必要がある。

【0089】図2は、図1に示す安定化容量の具体的構成を示す図である。図2に示す安定化容量は、n-FETを用いて構成されるMOSキャパシタ構造を備える。容量性素子33aおよび容量性素子33bはp型半導体基板200の表面に形成された素子分離膜(フィールド酸化膜)220により分離される。

【0090】容量性素子33aは、p型半導体基板200の表面の所定領域に形成されたn型不純物領域202aおよび202bと、不純物領域202aおよび202bの間の半導体基板200の表面上にゲート絶縁膜204を介して形成されるゲート電極203とを備える。不
20 純物領域202aおよび202bには電極取出層208が設けられ、ゲート電極203には電極取出層231aが設けられる。

【0091】容量性素子33bは、容量性素子33aと同様、n型不純物領域212aおよび212bと、ゲート絶縁膜214を介して半導体基板200表面上に形成されるゲート電極213とを含む。不純物領域212aおよび212bに対しては電極取出層218が設けられる。また、ゲート電極213に対しては電極取出層231bが設けられる。

【0092】容量性素子33aの不純物領域202aおよび202bは、電極取出層208および電極取出層231bを介して容量性素子33bのゲート電極213に接続される。容量性素子33aのゲート電極203は、電極取出層231aを介して高電圧Vppを受けるように接続される。容量性素子33bの不純物領域212aおよび212bは電極取出層218を介して接地電位GNDを受けるように接続される。

【0093】図2に示すように、絶縁ゲート型電界効果トランジスタを利用して安定化容量を形成すれば、この半導体記憶装置において用いられる絶縁ゲート型電界効果トランジスタと同一製造工程で安定化容量を製造することができ、余分の製造工程を追加することなく、スペース効率の良い膜厚制御の優れた容量を得ることができる。この場合、製造プロセスにおいてゲート絶縁膜にばらつきが存在しても、容量分割により各容量性素子33aおよび33bそれぞれに印加される電圧は十分低い電圧に設定することができるため、絶縁特性に優れた安定化容量を実現することができる。

【0094】図3は、図2に示す安定化容量の接続構成を示すとともにその電気的等価回路を示す図である。図

17

3 (a) において容量性素子33aのゲート電極203が高電圧 V_{pp} に接続され、容量性素子33aの不純物領域がともに結合されて容量性素子33bのゲート電極213に接続され、容量性素子33bの不純物領域がともに電極取出層218を介して接地電位に接続される。これは、図3 (b) に示す容量が高電圧 V_{pp} と接地電位との間に直列接続された構造と電氣的に等価である。

【0095】図2に示す構成においては、 n -FETを利用してMOSキャパシタを実現している。これに代えて、 p -FETを利用することもできる。

【0096】図4は、図1に示す安定化容量の他の構成例を示す図である。図4 (a) において、安定化容量は、高電圧 V_{pp} と接地電位との間に直列に接続される p -FETを用いて構成される容量性素子33cおよび33dを含む。容量性素子33はその不純物領域が高電圧 V_{pp} 接続され、ゲート電極が容量性素子33dの不純物領域に接続される。容量性素子33dのゲート電極が接地電位に接続される。この構成であっても、半導体記憶装置においては、 p -FETが利用されており（たとえばCMOS構成のインバータ回路）、容易に半導体記憶装置における p -FET製造工程と同一製造工程で容量性素子33cおよび33dを製造することができる。

【0097】図4 (b) においては、安定化容量は、 n -FETを用いて構成される容量性素子33aと、 p -FETを用いて構成される容量性素子33dを含む。容量性素子33aのゲート電極が高電圧 V_{pp} に接続され、その不純物領域が容量性素子33dの不純物領域に接続される。容量性素子33dのゲート電極が接地電位に接続される。

【0098】図4 (c) に示す安定化容量は、 p -FETを用いて構成される容量性素子33cと、 n -FETを用いて構成される容量性素子33bを含む。容量性素子33cの不純物領域が高電圧 V_{pp} に接続され、そのゲート電極が容量性素子33bのゲート電極に接続される。容量性素子33bの不純物領域が接地電位に接続される。

【0099】この図4 (a)、(b)、および(c) に示す安定化容量の等価回路は図3 (b) に示すものと同様であり、これらの場合においても直列接続された容量を用いて安定化容量を実現することができ、各容量性素子33a~33dに印加される電圧を緩和することができる。また、 p -FETおよび n -FET両者を用いて構成する場合、この半導体記憶装置のCMOS回路部分と同一製造プロセスで作成することができ、追加の製造プロセスを付加させることなく安定な容量性素子を実現することができる。

【0100】高電圧安定化用の容量性素子に用いるFETは、前述のごとく、半導体記憶装置に利用されるFET

18

Tと同一構造（同一ゲート絶縁膜厚）のものが利用される。すなわち、容量性33aおよび33b（33cおよび33d）と半導体記憶装置内のFETとは同一製造プロセスで作成される。以下、この製造プロセスについて簡単に説明する。

【0101】今、図5に示すように半導体チップ200の領域Iと領域IIにFETを製造する場合を考える。領域Iは高電圧安定化のための容量性素子が形成される領域であり、領域IIは、他の回路部分におけるFETが形成される領域である。今、この領域IおよびIIそれぞれにおいて n -FETを形成する場合を考える。

【0102】まず、図6 (a) および (b) に示すように、 p 型半導体基板500表面上に、薄い熱酸化膜（パッド酸化膜）502を成長させ、次いでCVD（化学的気相成長法）によりシリコン窒化膜504を成膜し、2層絶縁膜を形成する。ここで、図6 (a) は図5における領域IにおけるFET形成プロセスを示し、図6

(b) は図5に示す領域IIにおけるFET形成プロセスを示す。以下の説明においても、各図において (a) は安定化容量のための容量性素子の形成プロセスを示し、(b) で、他の回路部分のFET形成プロセスを示す。

【0103】図7 (a) および (b) に示すように、レジスト膜を形成した後フォトリソグラフィを用いてこのレジスト膜をパターニングしてレジストパターン506を形成し、このレジストパターン506をマスクとして素子分離領域となる部分のシリコン窒化膜504をエッチング除去する。

【0104】図8に示すように、寄生MOSFETのしきい値電圧を所定値以上に設定するために、このレジストパターン506をマスクとして素子分離領域の半導体基板500表面上にたとえばボロンからなる p 型不純物をイオン注入し、チャネルストップ用のイオン注入領域508を形成する。ここで、寄生MOSFETは、配線材料とフィールド酸化膜と半導体基板とで構成されるMOS構造に起因する寄生FETを示す。この寄生MOSFETが導通状態となる臨界電圧すなわちしきい値電圧を十分高くし、素子間の絶縁を図る必要がある。このためチャネルストップ用のイオン注入が実行される。

【0105】次いで、図9に示すようにレジストパターン506を除去した後、シリコン窒化膜504をマスクとして熱酸化を行ない、素子分離領域に選択的に厚い膜厚の二酸化シリコン膜（フィールド酸化膜）510を成長させる。このようなフィールド酸化法をLOCOS（シリコンの局所酸化）法と呼ぶ。このとき、フィールド酸化膜510は、シリコン窒化膜504下にも成長し、シリコン窒化膜504はその一部が持ち上げられる（バズビーク）。このフィールド酸化膜510の成長時に、チャネルストップ用不純物注入領域504が拡散されかつ活性化され、チャネルストップ領域508aが

19

フィールド酸化膜510下に形成される。この一連の工程により、素子分離が完了する。

【0106】図10において、不要となったシリコン窒化膜504およびパッド酸化膜502はエッチング除去され、半導体基板500の表面が露出する。

【0107】図11において、基板表面が露出した部分に対し熱酸化を行ない、薄い膜厚のゲート酸化膜512を成長させる。一般に、このゲート酸化膜512は、MOSFETのしきい値電圧を決定する主要要因となるため、この膜厚の制御および膜質に対し十分考慮が払われる。

【0108】図12において、MOSFETのしきい値電圧を所定値に設定するため、たとえばボロンであるp型不純物のイオン注入が行なわれる。この図12に示すイオン注入は、FETのしきい値電圧制御を目的としており、しきい値電圧が異なるトランジスタを作成する場合には、レジストをマスクとし、必要なFETに対してのみp型またはn型の不純物イオン注入が実行される。

【0109】図13において、n型多結晶シリコンをたとえばCVD法を用いて全面に堆積する。続いて、レジストパターン516をマスクとして、この多結晶シリコンをエッチングし、ゲート電極514を形成する。ここで、ゲート電極の材料として多結晶シリコン層514に代えて、モリブデンシリサイド、タングステンシリサイドなどの高融点シリサイド層などが利用されてもよい。

【0110】図14において、レジストパターン514を除去した後、ゲート電極層514とフィールド酸化膜510をマスクとして、自己整合的に高濃度のn型不純物（リンまたは砒素等）をイオン注入し、続いて熱処理を行ない、注入イオンの電気的活性化を行ない、ソース領域およびドレイン領域516を形成する。この過程により、MOSFETの基本構造が形成される。

【0111】ここで、フィールド酸化膜510上に形成されたポリシリコン層は、他の配線層であり、このゲート電極層514と同一プロセスで形成される配線層を示す。このような配線層としては、たとえばメモリセルアレイ部におけるワード線がある。

【0112】図15において、PSG膜（リンガラス膜）518をたとえばCVD法により堆積し、層間絶縁膜を形成する。このCVD法による堆積の後、PSG膜518のリフロー処理を実行し、このPSG膜表面の平坦化を行なう。

【0113】図16において、この層間絶縁膜（PSG膜）518に対しレジストパターンをマスクとして選択的にエッチングを行なって、ソースおよびドレイン領域516表面を露出させる（コンタクト孔の形成）。この後、半導体基板露出表面全面にわたってたとえばアルミニウムである低抵抗導体をたとえばPVD（物理的气相成長法）またはCVD法を用いて成膜し、続いてレジストパターン（図示せず）を用いてエッチングして所定の

20

電極配線層520aおよび520bを形成する。その後電極配線層520aおよび520bとソースドレイン領域516との良好なオーミックコンタクトを形成するため熱処理（シンター）を実行する。この図16に示す構成において、図16(a)に示す容量性素子形成領域においてはFETの電極配線層520bは隣接素子においても伸びるようにパターニングされる。

【0114】すなわち、図17に示すように、この安定化容量に含まれる容量性素子として機能するために、電極配線層520bは容量性素子33bのゲート電極514bに接続される（このゲート電極514bに対するコンタクト孔は図16に示す工程においてソースおよびドレイン領域に対するコンタクト孔形成時と同時に形成されている。）また、容量性素子33bの電極配線層520cは後工程において接地電位に接続されるように配線される。また、容量性素子33aのゲート電極層514aは高電圧 V_{pp} を受けるように配線される。この配線工程により、図16(b)に示す他の回路部分におけるFETと同一構造を備える容量性素子を何ら追加の製造プロセスを必要とすることなく作成することができる。

【0115】図18において、最上層の電極配線層520a、520b、および520cは、たとえば、アルミニウムで構成される。この電極配線層の腐食および汚染を防止するために、図18に示すように、PSG膜またはプラズマCVD法によるシリコン窒化膜による保護膜522を形成し、図示しないレジストパターンをマスクとして、外部端子との接続を行なうためのパッド部分または多層配線構造における他の配線層（この場合、保護膜は層間絶縁膜である）との接続のためのバイヤホール524を形成し、この後不要となったレジスト膜を除去する。

【0116】上述の構成により、安定化容量素子と他の回路部分におけるFETとを同一製造プロセスで形成することができ、安定化容量性素子を半導体記憶装置に用いられるFETと同一構造とすることができる。

【0117】なお、上述の実施例においては、半導体記憶装置内のn-FETを用いて容量性素子を形成している。このn-FETは上述の構成においては、一般の回路内部のn-FETを用いるように示される。この高電圧安定化用容量性素子としては、図19(A)に示すように、メモリセル1の選択トランジスタ5と同一構造を備えるものであってもよい。

【0118】図19(A)において、メモリセル1の選択トランジスタ5は、半導体基板550の表面に形成されるソース領域となる不純物領域551cと、ドレイン領域となる不純物領域551dと、この不純物領域551cおよび551dの間の半導体基板550表面上にゲート絶縁膜557を介して形成されるゲート電極層554cと、不純物領域551dに形成され、メモリセルキャパシタの一方電極（ストレージノード）を形成する電

21

極層553と、この電極層553上に形成されるメモリセルキャパシタの他方電極（セルプレート）となる電極層555を含む。通常、ゲート電極層は第1多結晶シリコン層で形成され、電極層553は第2多結晶シリコン層で形成され、電極層555は第3多結晶シリコン層で形成される。ソース領域となる不純物領域551cに対して形成される電極配線層556c（ビット線）はアルミニウム等の低抵抗層を用いて形成される。

【0119】安定化容量330は、半導体基板550上に形成される不純物領域551aおよび551bと、この不純物領域551に形成されるゲート電極554aおよび不純物領域551b上に形成されるゲート電極554bを含む。この不純物領域551aおよび551bは、メモリセルの選択トランジスタ5の不純物領域551cおよび551dと同一製造プロセスで形成される。またゲート電極層554aおよび554bは選択トランジスタ5のゲート電極554cと同一プロセスで形成される。安定化容量330において、不純物領域551bは電極配線層556bを介して接地電位を受けるように接続され、電極配線層556aは、ゲート電極554bに接続される。ゲート電極554aは、高電圧Vppを受けるように接続される。この場合、電極配線層556bおよび556aは、電極配線層556cと同一プロセスで形成される。なおメモリセル構造として、図19(A)に示すようなスタックトキャパシタ構造ではなく、トレンチキャパシタ構造が利用されてもよく、また他のキャパシタ構造を備えるものであってもよい。

【0120】図19(B)にCMOSプロセスで形成した安定化容量の構成を示す。図19(B)において、安定化容量330は、容量性素子33aおよび33dを含む。容量性素子33aは、n型半導体基板570の所定領域に形成されたp型ウェル580と、このp型ウェル580の表面に形成されるn型不純物領域582と、不純物領域582の間のウェル領域表面上にゲート絶縁膜584を介して形成されるゲート電極586を含む。

【0121】容量性素子33dは、n型半導体基板570の表面に形成されるp型不純物領域572と、この不純物領域572の間の基板表面上にゲート絶縁膜574を介して形成されるゲート電極576を含む。不純物領域572は不純物領域582と接続される。ゲート電極586は高電圧Vppを受けるように接続され、ゲート電極576は、接地電位GNDを受けるように接続される。容量性素子33aはn-FETを利用して形成され、容量性素子33dはp-FETを利用して形成される。半導体記憶装置におけるCMOS回路部分と同一製造プロセスで安定化容量を形成することができる。

【0122】図20は、この発明の他の実施例である半導体記憶装置の構成を示す図である。図20において、オンチップのリングオシレータ630から繰返し信号φcが発生され、高電圧発生回路HVG（ノード28）へ

22

与えられる。高電圧発生回路HVGは、昇圧部400と、安定化容量330を含む。この構成は図1に示すものと同様である。

【0123】ワード線ドライバWDiは各ワード線3(WLi)に対応して設けられ、またXデコーダADXiもワード線ドライバWDiに対応して設けられる。

【0124】ワード線ドライバWDiは、ノード9へ与えられるXデコーダADXiの出力を通過させるためのn-FET614と、高電圧Vppを受けるノード10とノード613aとの間に設けられるp-FET611aと、ノード10とノード613bとの間に設けられるp-FET611bと、ノード613aの電位にตอบสนองして、ノード613bを接地電位へ放電するn-FET612を含む。p-FET611aおよび611bはそのゲートとドレインが交差結合される。

【0125】メモリセル1は選択トランジスタ5とメモリキャパシタ6とを含み、ワード線3上の信号電位にตอบสนองして選択トランジスタ5を介してメモリキャパシタ6がビット線2(BLi)に接続される。

【0126】図20に示す構成は、図1に示すワード線駆動信号φxを発生するための回路を省いたものである。ワード線ドライバWDiには定常的に高電圧Vppが与えられる。このため、ワード線駆動信号φxを発生する回路における遅延をなくことができ、高速でワード線を駆動することができ、メモリセルアクセス速度が改善される。ワード線ドライバWDiにおいては、p-FET611bのサイズ（またはゲート幅）をn-FET612よりも大きくする必要がある。高速でワード線3を充電する必要があるためである。

【0127】n-FET614はそのゲートにノード8を介して内部動作電源電圧Vccを受ける。n-FET614は、ノード9に高電圧Vppが印加されるのを防止する機能を備える。次にこの図20に示すワード線ドライバWDiの動作をその動作波形図である図21を参照して説明する。

【0128】XデコーダADXiは選択状態となったときにその出力が“H”から“L”へ立下がる。時刻t0においては、また行選択動作は実行されておらず、ワード9の電位は内部動作電源電圧Vccレベルの“H”レベルにある。この状態においては、ノード10において高電圧Vppが定常的に与えられている。ノード613aはn-FET614を介して“H”の信号が与えられるため、n-FET612はオン状態であり、ノード613bの電位を接地電位レベルへと放電する。これにตอบสนองしてp-FET611aがオン状態となり、ノード613aの電位は上昇し始め、p-FET611bが完全にオフ状態となる。したがって、最終的にノード613aの電位は高電圧Vppレベルとなる。

【0129】時刻t1において、行選択動作が実行され、ノード9の電位が“L”に立下がると、ノード61

23

3aの電位がn-FET614およびノード9を介して(XデコーダADX_iを介して)放電され、接地電位レベルへと低下する。これにより、n-FET612がオフ状態、p-FET611bがオン状態となり、かつp-FET611aがオン状態となる。これにより、ノード613bはp-FETを介して高電圧V_{pp}レベルにまで上昇し、ワード線3上に高電圧V_{pp}レベルのワード線駆動信号φ_{xi}が伝達される。この図20に示す構成においては、XデコーダADX_iが選択されると同時に、ワード線3の電位(ワード線駆動信号φ_{xi})が立上がり、メモリセル1の選択トランジスタ5がオン状態となるため、データアクセス速度が早くなる。

【0130】時刻t2においてメモリサイクルが完了すると、XデコーダADX_iの電位が内部動作電源電圧V_{cc}レベルの“H”レベルに上昇する。これによりノード613aの電位レベルはn-FET614を介してV_{cc}-VTNのレベルにまで充電される。ノード613aの電位レベルがV_{cc}-VTNに到達すると、n-FET612がオン状態となり、ノード613bが接地電位レベルと放電され、p-FET611aがオン状態となり、ノード613aの電位レベルが高電圧V_{pp}にまで上昇する。それにより、p-FET611bが完全にオフし、ノード613bの電位レベルはn-FET612より完全に接地電位レベルにまで放電される。

【0131】この図20に示すようなワード線駆動系の構成であっても高電圧V_{pp}を安定化するための安定化容量330は、直列接続された容量性素子33aおよび33bを備えており、安定に高電圧V_{pp}を発生することができ、選択されたワード線を高速で高電圧レベルにまで充電することができる。

【0132】次に、内部動作電源電圧V_{cc}について説明する。外部電源電圧V_dが内部動作電源電圧V_{cc}としてそのまま利用されてもよい(すなわち、V_d=V_{cc})。たとえば、携帯型パーソナルコンピュータのような電池を電源とするシステムにおいては、このシステム構成装置の消費電力をできるだけ小さくする必要がある。電池寿命を長くするためである。この消費電力低減のために、ダイナミック・ランダム・アクセス・メモリの動作電源電圧を低くする。消費電力は電圧の二乗に比例するため、低動作電源電圧により消費電力を十分低減することができる。この低電源電圧化はまた、電力消費に伴う発熱量を低減することができ、安価なプラスチックパッケージにダイナミック・ランダム・アクセス・メモリを収納することができる。

【0133】このような、外部電源電圧が低電圧化され、ダイナミック・ランダム・アクセス・メモリの内部動作電源電圧としてそのまま利用する場合は、ダイナミック・ランダム・アクセス・メモリのメモリセルアレイ部および周辺回路のFETは少なくともゲート絶縁膜については同じ膜厚を有する(または同一構造である)。

24

したがって、上述の実施例におけるワード線駆動用の高電圧を安定化するための容量としては、メモリセルアレイ部または周辺回路部のFETと同じ構造(同一ゲート絶縁膜膜厚)のFETを利用する。

【0134】一方において、外部電源電圧V_dをオンチップの内部降圧回路を用いて降圧して内部動作電源電圧V_{cc}を発生するダイナミック・ランダム・アクセス・メモリもある(V_d>V_{cc})。システム電源電圧を決定するマイクロプロセッサユニットなどの論理LSIの微細化がダイナミック・ランダム・アクセス・メモリのそれよりも進展速度が遅く、システム電源電圧をダイナミック・ランダム・アクセス・メモリの微細化に合わせて低下させることができない場合に対処するためである。この場合、ダイナミック・ランダム・アクセス・メモリの信頼性(FETのゲート絶縁膜等の信頼性)を確保するため、内部降圧回路を用いて外部電源電圧を降圧し、内部動作電源電圧V_{cc}を発生する。

【0135】ダイナミック・ランダム・アクセス・メモリの構成は、内部降圧された電源電圧を印加する場所に依りて、(1)周辺回路およびメモリセルアレイ部両者に内部降圧された電源電圧を印加する、および(2)周辺回路部に外部電源電圧を印加し、メモリセルアレイ部分にのみ内部降圧された電源電圧を印加するの2つに大別される。

【0136】第1の構成においては、ダイナミック・ランダム・アクセス・メモリ内全体の動作電源電圧が低くされる。これは、ダイナミック・ランダム・アクセス・メモリの信頼性および消費電力の利点に加え、高速動作化の利点をももたらすために行なわれる。FETの駆動能力に比例する周辺回路の動作速度は、その動作電源電圧、特にゲート電圧に大きく依存する。一方、メモリセルアレイおよびセンスアンプなど同じパターンが繰返される繰返しパターン回路は、大きな負荷容量を有する。このため動作速度は負荷容量と抵抗とで与えられるRC時定数で決定され、電圧依存性は周辺回路ほど大きくない。一般に、ダイナミック・ランダム・アクセス・メモリでは、周辺回路と繰返しパターン回路の動作がミスマッチを起こさないように、周辺回路の動作タイミングに大きな余裕がとられる。周辺回路部の電源電圧を降圧すれば、この動作タイミングの余裕を小さくすることができる。結果としてアクセス時間を短縮することができる。

【0137】この第1の構成においては、周辺回路部およびメモリセルアレイ部のFETのゲート絶縁膜膜厚は同一である(サイズは異なる)。したがって、ワード線駆動用の高電圧を安定化させるための容量としては、周辺回路およびメモリセルアレイ部のFETと同一構造(同一ゲート絶縁膜膜厚)のFETをまた利用することができる。

【0138】第2の構成は、前述のごとく最も電圧の高くなるワード線およびこのワード線を直接駆動する回路

25

などの信頼性を確保するためこの部分に内部降圧された電源電圧を印加する。また消費電力が、メモリセルアレイ部の電源電圧が低下されるため、大幅に抑制される。この場合、外部電源電圧が印加される周辺回路のFETの膜厚はメモリセルアレイ部のFETのそれに比べて厚くされる。

【0139】図22は、内部降圧回路を備えるダイナミック・ランダム・アクセス・メモリの全体の構成を概略的に示す図である。図22において、ダイナミック・ランダム・アクセス・メモリ700は、メモリセルが行および列のマトリクス状に配列されたメモリセルアレイ702と、外部電源電圧 V_d を所定の電圧レベルの内部電源電圧 V_{cc} に降圧する降圧回路704と、降圧回路704からの内部電源電圧 V_{cc} を動作電源電圧としてメモリセルアレイ702を駆動するアレイ駆動回路706と、外部動作電源電圧 V_d を動作電源電圧として動作する周辺回路708と、外部電源電圧 V_d を動作電源電圧として動作し、周辺回路708の動作を制御する周辺制御回路710と、外部電源電圧 V_d を動作電源電圧として、装置外部と信号の入出力を行なう入出力回路712を含む。入出力回路712はまた周辺制御回路710の制御の下に動作する。

【0140】アレイ駆動回路706としては、ワード線ドライブ回路、センスアンプ回路およびセンスアンプ駆動回路、プリチャージ/イコライズ回路を含む。すなわちこのアレイ駆動回路706はメモリセルアレイ702へ直接信号を伝達する回路部分を含む。

【0141】周辺回路708は、アドレスデコーダ(XおよびY)を含む。周辺制御回路710は、この周辺回路708を制御するとともに入出力回路712の動作を制御するためのものであり、外部から与えられる制御信号/RAS、/CASおよびWEに応答して各内部制御信号を発生する回路である。この周辺制御回路710はまた、アレイ駆動回路706の動作タイミングを規定する信号を発生するように構成されてもよい。

【0142】入出力回路712は、データ入出力回路のみならず、アドレスバッファをも含む。装置外部と信号の入出力を行なうため、外部電源電圧 V_d を動作電源電圧として動作する。外部とのインタフェースをとるためである。すなわち入出力回路712はバッファ回路を含む。周辺回路708は、したがってこの入出力回路(バッファ回路)712の出力を受けて内部書込データを発生する書込回路、メモリセルアレイのデータを増幅するブリアンプ回路などを含んでもよい。

【0143】図22に示す構成においては、アレイ駆動回路706およびメモリセルアレイ702の構成要素のFETの膜厚は薄くされ、降圧回路704、周辺回路708、入出力回路712および周辺制御回路710のFETのゲート絶縁膜の膜厚は厚くされる。

【0144】FETを容量として利用する場合、占有面

26

積を小さくするためにはできるだけゲート絶縁膜の膜厚の薄いFETを利用する必要がある。したがって、ワード線駆動用の高電圧 V_{pp} を安定化するための容量に含まれる容量性素子としては、メモリセルアレイ702およびアレイ駆動回路706に含まれるFETと同一構造(同一ゲート絶縁膜膜厚)のFETが利用される。ゲート絶縁膜の膜厚が薄くされても、高電圧 V_{pp} は容量分割されて各容量性素子に印加されるため、十分に絶縁耐圧特性は保証される。これにより、小占有面積の容量性素子を得ることができる。

【0145】内部降圧回路を用いるダイナミック・ランダム・アクセス・メモリにおいては、上述の構成(1)および(2)いずれの場合においても、内部降圧回路および入出力回路のFETのゲート絶縁膜の膜厚は厚くされる。外部とのインタフェースをとるため外部電源電圧 V_d で動作するためである。しかしながら、このような内部降圧回路および入出力回路であっても、そのゲート絶縁膜の膜厚は印加される電源電圧に従って薄くされる。FETのサイズの最適化はゲート絶縁膜膜厚を基準として行なわれる。ゲート絶縁膜膜厚が薄くなるとゲート長も短くなり、ゲート遅延(信号伝搬遅延)が小さくなり、高速化につながるためである。これは、内部降圧回路を用いず、外部電源電圧を内部電源電圧として降圧せずに利用する場合も同様である。

【0146】しかしながら、入出力回路の場合、外部端子(リード端子)に接続されるため、印加される動作電源電圧に応じて比例してゲート絶縁膜を薄くすると信頼性の問題が生じる。この間の事情について説明する。

【0147】図23は入出力回路の構成の一例を示す図であり、図23(A)は信号入力回路(入力バッファ)の構成を示し、図23(B)は信号出力回路(出力バッファ)の構成を示す。図23(A)および(B)のバッファ回路は、アドレスバッファ、データ入力バッファおよびデータ出力バッファであってもよい。

【0148】図23(A)において、信号入力回路750は、2段の縦続接続されたインバータ回路760および770を含む。インバータ回路760は、電源電圧(外部電源電圧であってもよく、内部電源電圧であってもよい) V_{cc} と接地電位との間に相補的に接続されるp-FET762およびn-FET764を含む。p-FET762およびn-FET764のゲートは内部端子(リード端子)780に接続される。インバータ回路770は、電源電圧 V_{cc} と接地電位との間に相補的に接続されるp-FET772およびn-FET774を含む。p-FET772およびn-FET774のゲートへ初段のインバータ回路760の出力が与えられる。このインバータ回路770の出力が内部回路へ与えられ、所望の信号処理が実行される。

【0149】インバータ回路770の構成要素であるFET772および774のゲート絶縁膜膜厚はこの電源

10

20

30

40

50

27

電圧 V_{cc} に応じて薄くすることができる。しかしながら、外部端子に直接接続される初段のインバータ回路760において、このFET762および764のゲート絶縁膜厚を電源電圧 V_{cc} に応じて薄くすることはできない。一般に、外部端子780とインバータ回路760の入力部との間には異常高電圧をクランプするための充放電クランプダイオード（保護ダイオード）が設けられている。このような保護ダイオードは外部端子780と電源電圧供給ノードとの間および外部端子780と接地電位との間に設けられる。このような構成の場合、外部端子780に帯電した人体または物体が接触した場合、この外部端子780において放電が生じ、たとえクランプダイオードが設けられていてもFET762および764に大きな静電界が印加される。このような静電界からFET762および764を保護するために、FET762および764のゲート絶縁膜は比較的厚くする必要がある。したがって、図23(A)の構成において、インバータ回路760の構成要素のFET762および764のゲート絶縁膜の膜厚は比較的厚く、インバータ回路770のFETのゲート絶縁膜の膜厚は電源電圧 V_{cc} に応じて薄くされる。

【0150】この静電気の問題が、図23(B)に示すような信号出力回路においても同様に発生する。ここで、図23(B)において、信号出力回路（出力バッファ）800は、縦列接続されたインバータ回路820および810を含む。インバータ回路820は、CMOS構成を備え、 p -FET822および n -FET824を含む。インバータ回路810は、同様、CMOS構成を備え、 p -FET812および n -FET814を含む。インバータ回路820は内部回路から与えられる信号を反転し増幅する。インバータ回路810は、このインバータ回路820からの出力をさらに増幅しかつ反転して外部端子830へ出力する。外部端子830において、静電気の放電が生じた場合、図23(A)に示すインバータ回路760の場合と同様、大きな静電界がFET812および/または814において発生する。このためFET812および814のゲート絶縁膜の膜厚はFET822および824のゲート絶縁膜の膜厚よりも厚くされる。

【0151】前述の実施例においては、ワード線駆動のための高電圧を安定化させるための容量として容量性素子の直列体を用いる場合、できるだけゲート絶縁膜の膜厚の薄いFETを利用する（小面積で大きな容量値を実現するため）。このため、内部降圧された電源電圧が印加される回路部のFETが利用される（部分的内部降圧の場合）かまたは、装置内部の任意のFETが利用される（全面的内部降圧の場合）。具体的には、メモリセルアレイ部またはワード線ドライブ回路等のメモリセルアレイと直接信号を伝達する回路部分のFETが利用される。

28

【0152】しかしながら、図23(A)および(B)に示すような信号入出力回路の構成を利用する場合、外部端子に接続される回路部分（入力バッファ初段または出力バッファ最終段）のFETを利用し、高電圧安定化容量を形成することができる。

【0153】図24はこの発明の第2の実施例である半導体記憶装置の要部の構成を示す図である。図24においては、高電圧発生回路HVG、信号入力回路（入力バッファ）750および信号出力回路（出力バッファ）800の構成が示される。信号入力回路750および信号出力回路800の構成は図23に示すものと同様である。信号入力回路750において、インバータ回路760の構成要素のFET762および764のゲート絶縁膜の膜厚は、インバータ回路770の構成要素のFET772および774のそれよりも厚くされる。

【0154】また、信号出力回路800において、インバータ回路810の構成要素のFET812および814のゲート絶縁膜の膜厚はインバータ回路820の構成要素のFET822および822のゲート絶縁膜の膜厚よりも厚くされる。FET772、774、822、および824のゲート絶縁膜の膜厚は、内部降圧された電圧が印加される回路部分のFETのゲート絶縁膜の膜厚よりも厚い。FET762、764、812、および814のゲート絶縁膜の膜厚を十分厚くすることにより、静電破壊の防止を図る。

【0155】高電圧発生回路HVGにおいては、昇圧部400と、安定化容量833を含む。昇圧部400の構成は図1に示すものと同様である。安定化容量833は1個の容量性素子を含む。この安定化容量833は信号入力回路750の n -FET764および/または信号出力回路800の n -FET814と同一構造（同一ゲート絶縁膜厚）を備える。この場合、安定化容量833と n -FET764および/または814は、先の製造プロセスで示した構成において、図17に示す部分が省略され、安定化容量性素子833は1個のFETを用いて構成される。この場合、 n -FET764および814の絶縁耐圧は十分高いため、高電圧 V_{pp} が定常的に発生される場合であっても絶縁破壊が生じることなく安定に高電圧 V_{pp} を発生することができる。製造方法としては、前述の図6ないし図18に示した製造プロセスを利用することにより n -FET764および814と安定化容量833とを同一製造プロセスで製造することができる。

【0156】またこの安定化容量833としては、 p -FET762および/または812を用いて構成することができる。このような1個のFETを用いて安定化容量を構成することにより、スペース効率の優れた安定化容量を実現することができる。

【0157】なお、信号入力回路としては、データ入力回路、アドレスバッファのいずれであってもよく、また

29

信号出力回路としては、データ出力回路であってもよい。また、信号入力回路および信号出力回路としては2段の縦続接続されたインバート回路で構成されるものでなくてもよい。外部端子に接続され、直接信号の入力または出力を行なう回路部分のFETを利用して安定化容量を構成すれば上記第2の実施例と同様の効果を得ることができる。

【0158】さらに、上述の第1および第2の実施例においては、ダイナミック・ランダム・アクセス・メモリにおけるワード線駆動用高電圧を安定化するための容量について説明している。しかしながら、フリップフロップ型メモリセル構造を備えるスタティック・ランダム・アクセス・メモリであっても同様の効果を得ることができる。

【0159】さらに、前述の実施例においては、半導体記憶装置におけるワード線駆動用高電圧を安定化するための容量の構成について説明している。しかしながら、一般に、装置内部で電源電位から高電圧を発生する高電圧発生回路を備える半導体集積回路装置であれば同様の効果を得ることができる。

【0160】

【発明の効果】以上のように、この発明によれば、ワード線駆動用高電圧を安定化させるための安定化容量として容量性素子の直列体または外部端子と直接信号の授受を行なう回路部のFETを利用したため、安定化容量の絶縁特性が大幅に改善され、安定にワード線駆動用高電圧を供給することができる信頼性の高い半導体記憶装置を得ることができる。請求項1記載の発明によれば、安定化容量として、容量性素子の直列体を用いたため、各容量性素子に印加される電界が緩和され、安定に高電圧を発生することができる信頼性の高い安定化容量を備えた半導体記憶装置が得られる。

【0161】請求項2に係る発明によれば、安定化容量の容量性素子として、メモリセルまたはメモリセルアレイ駆動部のFETと同一のゲート絶縁膜膜厚を有するFETを用いているため、余分の製造プロセスを追加することなくゲート絶縁膜の膜厚が十分制御されかつスペース効率に優れた信頼性の高い高電圧安定化用容量が得られ、それにより信頼性の高い半導体記憶装置を得ることができる。

【0162】請求項3に係る発明によれば、安定化容量の容量性素子として、内部降圧電圧が印加される回路部分のFETと同一のゲート絶縁膜膜厚を有するFETを利用しているため、ゲート絶縁膜膜厚が十分制御されたスペース効率の良い高い信頼性の高電圧安定化容量が実現され、信頼性の高い半導体記憶装置を得ることができる。

【0163】請求項4に係る発明においては、外部端子に直接接続される回路部分のFETと同一のゲート絶縁膜膜厚を有するFETを利用して安定化容量を形成した

30

ため、絶縁特性に優れた安定化容量を1個のFETで実現することができ、信頼性の高い高電圧安定化容量を備える半導体記憶装置を実現することができる。

【0164】請求項5に係る発明においては、昇圧用容量性素子のチャージポンプ機能と第1および第2のダイオード素子の整流特性を利用して高電圧を発生する昇圧部の出力ノードに複数の安定化容量性素子を直列に接続したため、個々の安定化用容量性素子に印加される電界を緩和することができ、安定に高電圧を発生する高電圧発生手段を備える半導体集積回路装置が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例である半導体記憶装置の要部の構成を示す図である。

【図2】図1に示す安定化容量の具体的構成を示す図である。

【図3】図2に示す容量性素子の接続構成およびその電気的等価回路を示す図である。

【図4】図1に示す安定化容量の他の構成例を示す図である。

20 【図5】図1に示す容量性素子の製造方法を説明するための図である。

【図6】図1に示す容量性素子の第1の製造プロセスを示す図である。

【図7】図6に示す製造プロセスに続く第2の製造プロセスを示す図である。

【図8】図7に示す製造プロセスに続く第3の製造プロセスを示す図である。

【図9】図8に示す製造プロセスに続く第4の製造プロセスを示す図である。

30 【図10】図9に示す製造プロセスに続く第5の製造プロセスを示す図である。

【図11】図10に示す製造プロセスに続く第6の製造プロセスを示す図である。

【図12】図11に示す製造プロセスに続く第7の製造プロセスを示す図である。

【図13】図12に示す製造プロセスに続く第8の製造プロセスを示す図である。

【図14】図13に示す製造プロセスに続く第9の製造プロセスを示す図である。

40 【図15】図14に示す製造プロセスに続く第10の製造プロセスを示す図である。

【図16】図15に示す製造プロセスに続く第11の製造プロセスを示す図である。

【図17】図16に示す製造プロセスにおける容量性素子の相互接続状態を示す図である。

【図18】図16に示す製造プロセスに続く第12の製造プロセスを示す図である。

【図19】図1に示す容量性素子の他の構成の断面構造を示す図である。

50 【図20】この発明の他の実施例である半導体記憶装置

31

の要部の構成を示す図である。

【図21】図20に示す半導体記憶装置の動作を示す信号波形図である。

【図22】この発明のさらに他の実施例である半導体記憶装置の全体の構成を概略的に示す図である。

【図23】半導体記憶装置における信号入力回路および信号出力回路の具体的構成例を示す図である。

【図24】この発明のさらに他の実施例である半導体記憶装置の要部の構成を示す図である。

【図25】従来の半導体記憶装置の全体の構成を概略的に示す図である。

【図26】図25に示す半導体記憶装置のメモリセルアレイ部およびそれに関連する回路の構成を示す図である。

【図27】従来の半導体記憶装置における1本のワード線に関連する部分の構成を示す図である。

【図28】図27に示す高電圧発生回路の動作を示す信号波形図である。

【図29】図27に示すワード線駆動信号発生回路の動作を示す信号波形図である。

【図30】図27に示す安定化容量の構造、接続構成およびその電気的等価回路を示す図である。

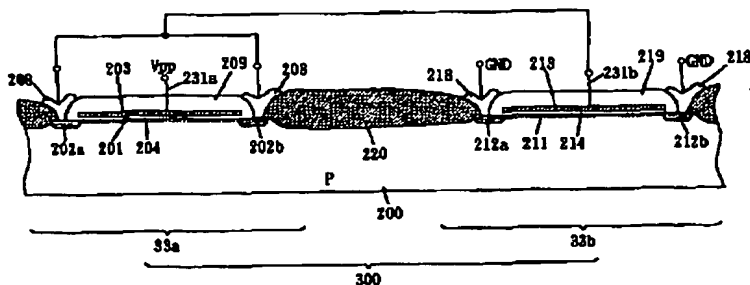
【符号の説明】

- 1 メモリセル
- 2 ビット線
- 3 ワード線
- 5 メモリセル選択トランジスタ
- 27 高電圧出力ノード
- 33a 容量性素子

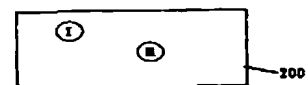
32

- * 33b 容量性素子
- 33c 容量性素子
- 33d 容量性素子
- 330 安定化容量
- 700 半導体記憶装置
- 702 メモリセルアレイ
- 704 内部降圧回路
- 706 アレイ駆動回路
- 708 周辺回路
- 710 周辺制御回路
- 712 入出力回路
- 750 信号入力回路
- 760 信号入力回路初段のインバータ回路
- 762 p-FET
- 764 n-FET
- 770 インバータ回路
- 800 信号出力回路
- 810 信号出力回路の最終段のインバータ回路
- 812 p-FET
- 814 n-FET
- 830 外部端子
- 833 安定化容量
- 900 ワード線駆動手段
- HVG 高電圧発生回路
- HSF ワード線駆動信号発生回路
- ADXi (単位) Xデコーダ
- WDi (単位) ワード線ドライバ
- ADX Xデコーダ
- * WD ワード線ドライブ回路

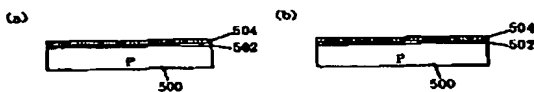
【図2】



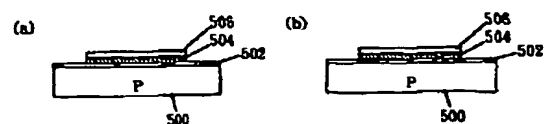
【図5】



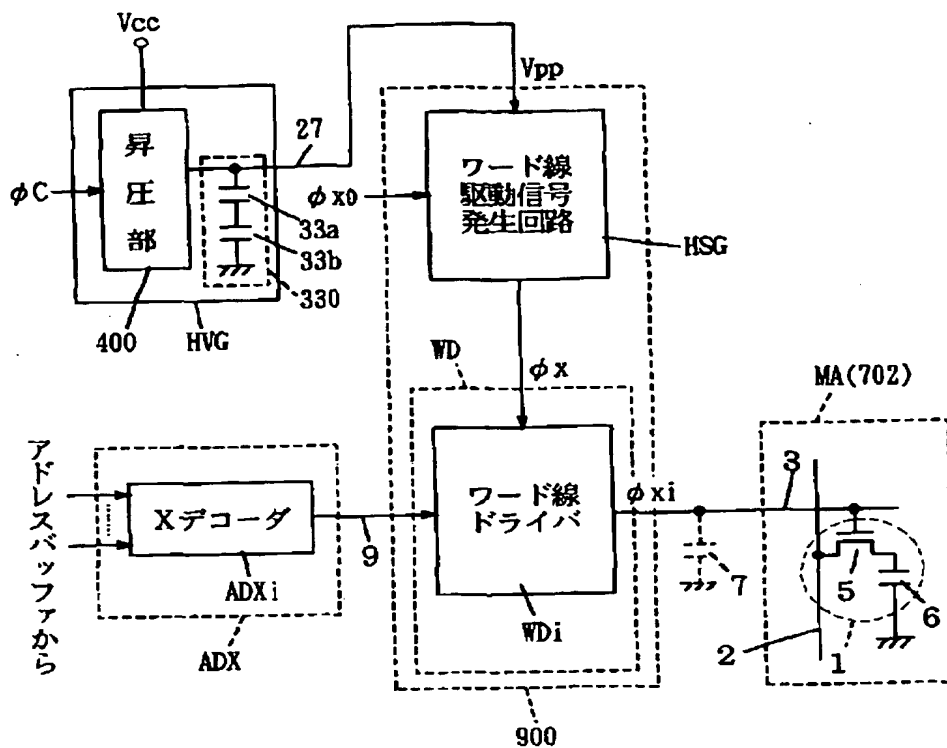
【図6】



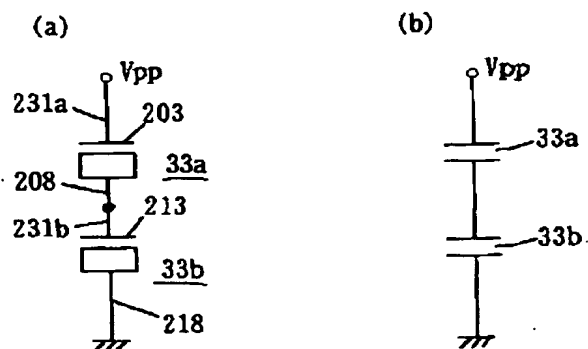
【図7】



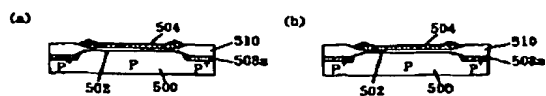
【図1】



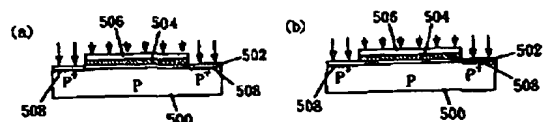
【図3】



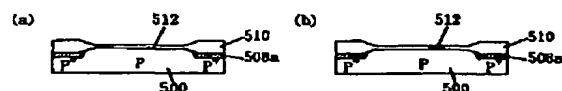
【図9】



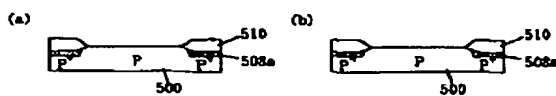
【図8】



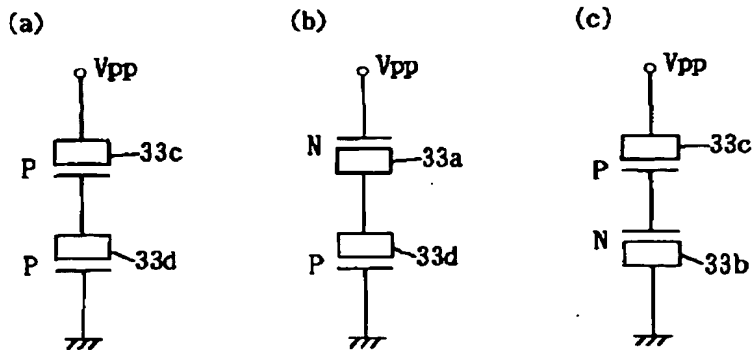
【図11】



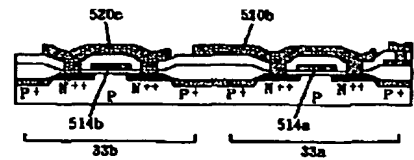
【図10】



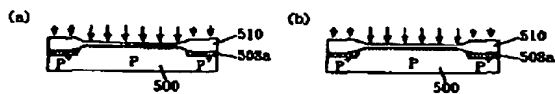
【図4】



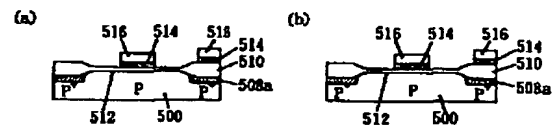
【図17】



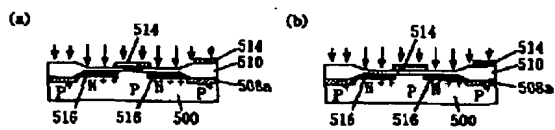
【図12】



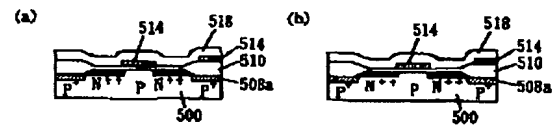
【図13】



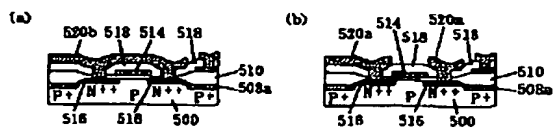
【図14】



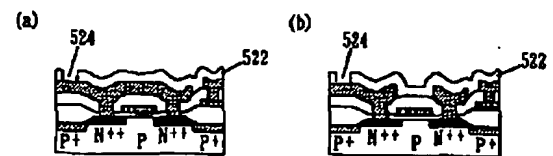
【図15】



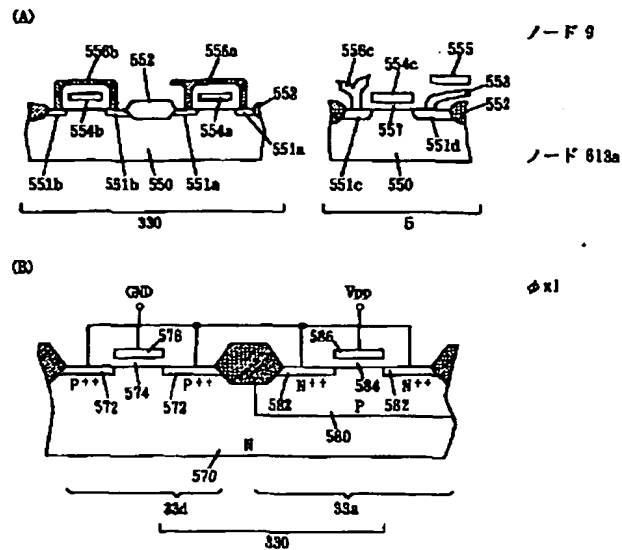
【図16】



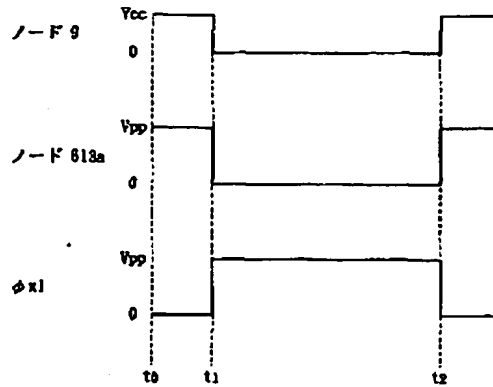
【図18】



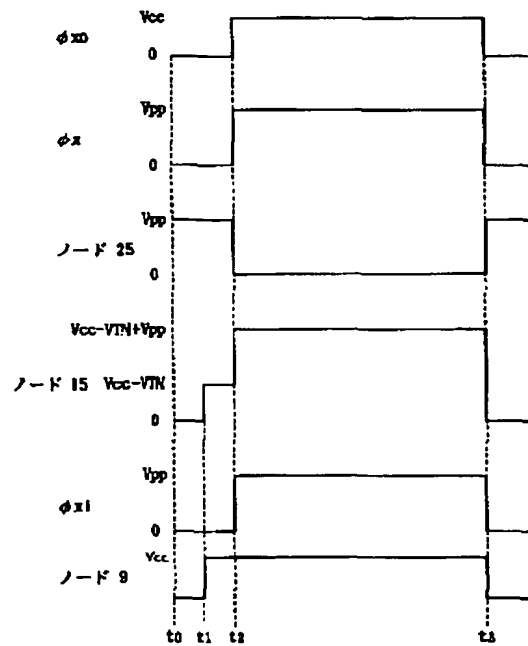
【図 19】



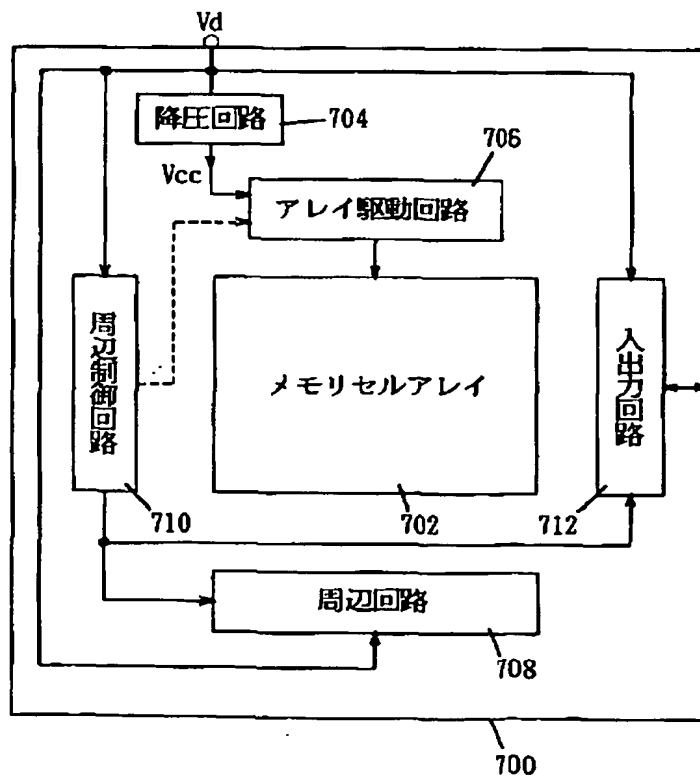
【図 21】



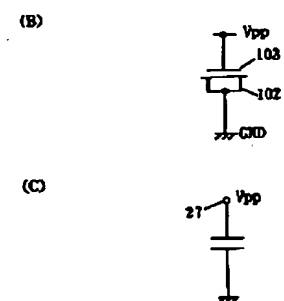
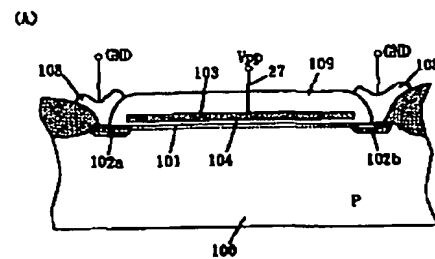
【図 29】



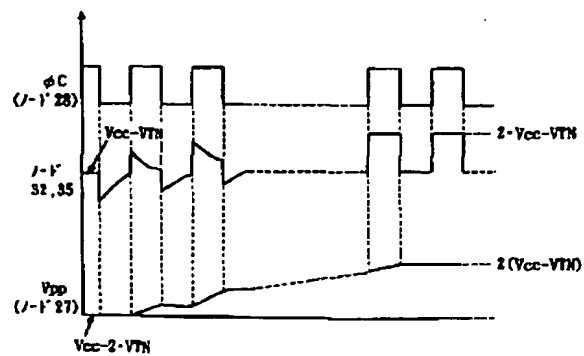
【図 22】



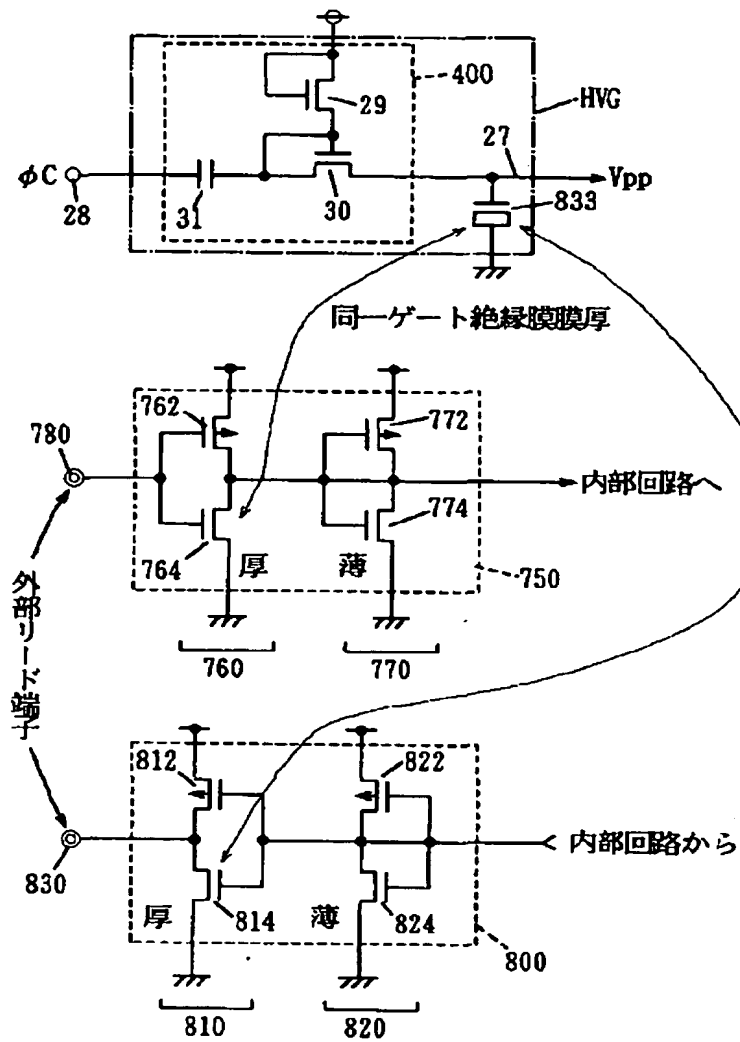
【図 30】



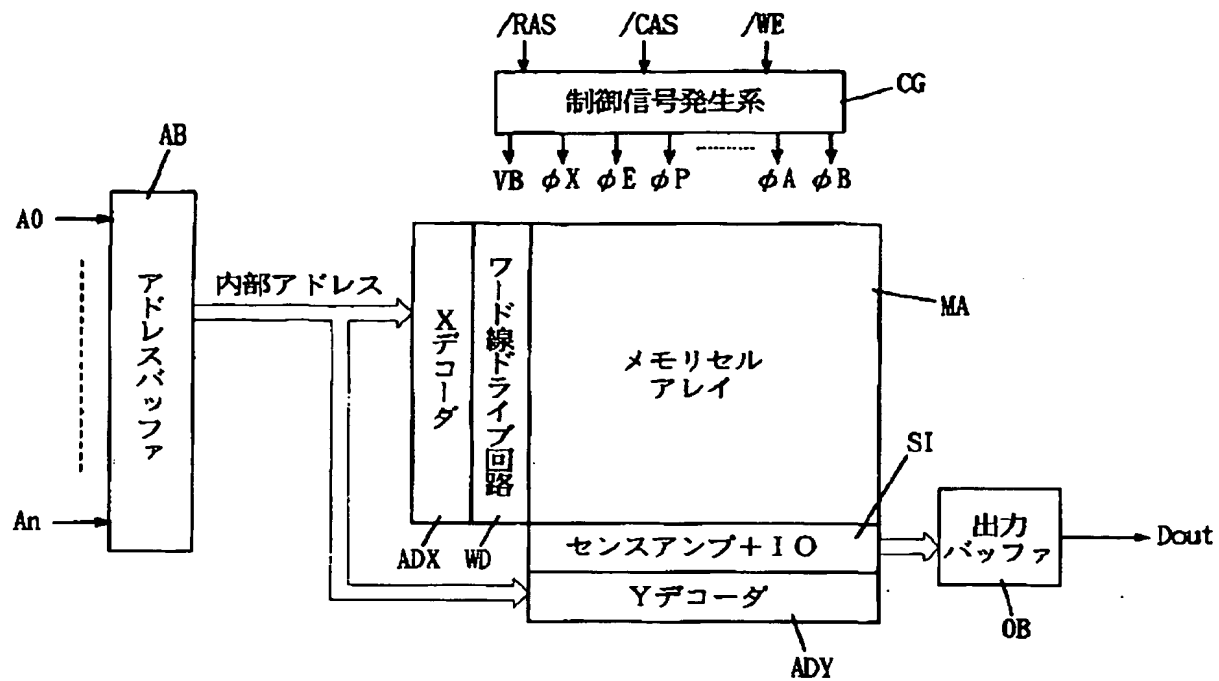
【图 28】



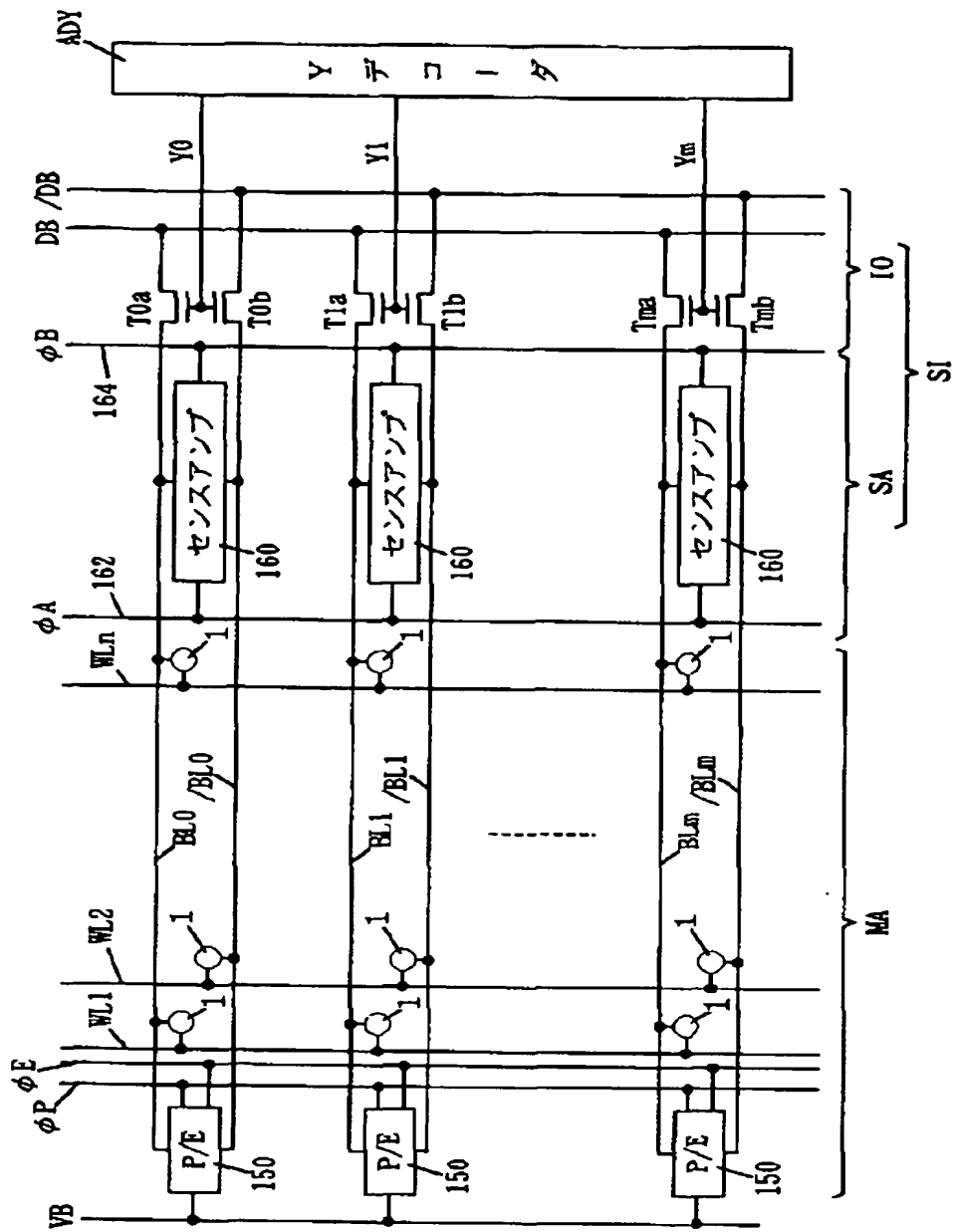
【図24】



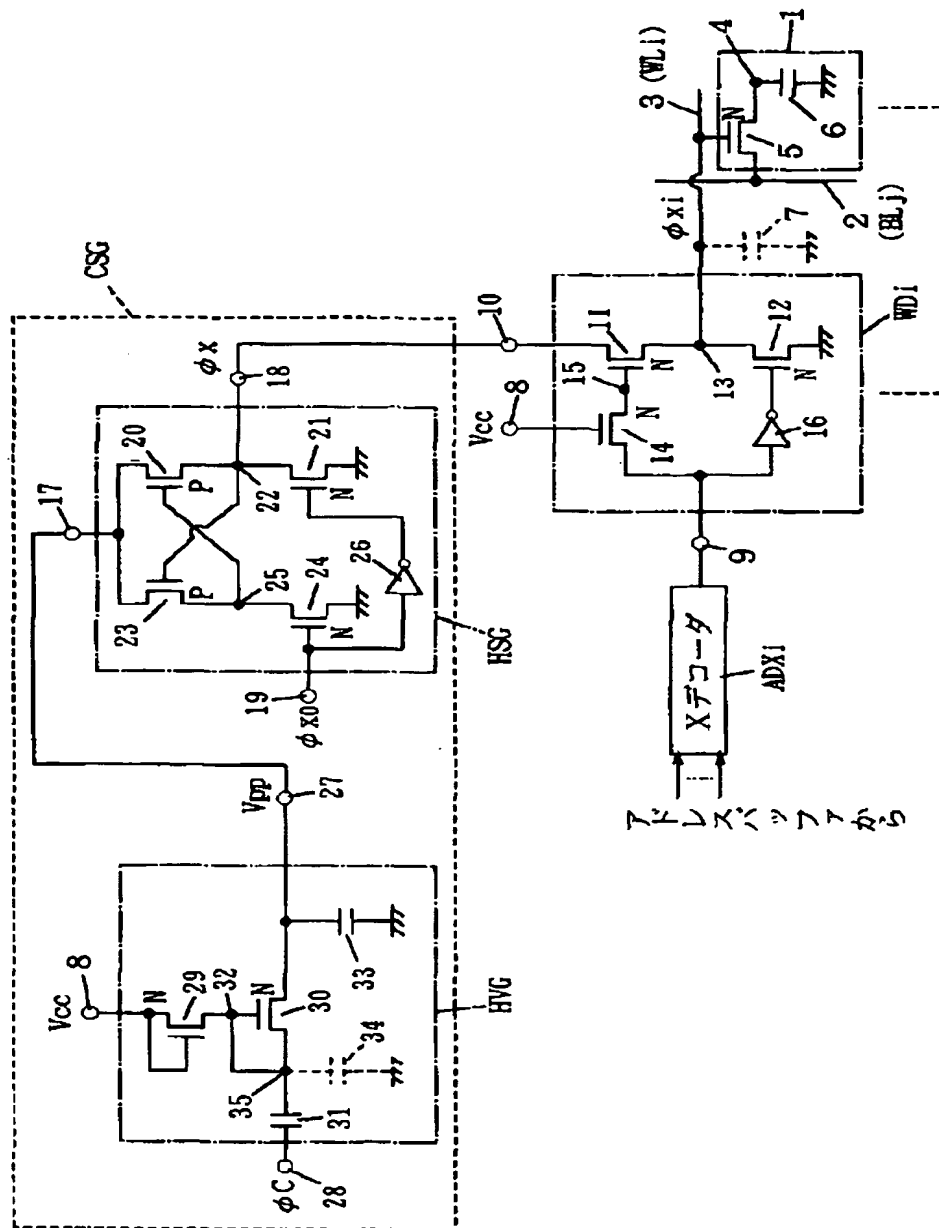
【図25】



【図26】



【図27】



【手続補正書】

【提出日】平成6年3月14日

【手続補正1】

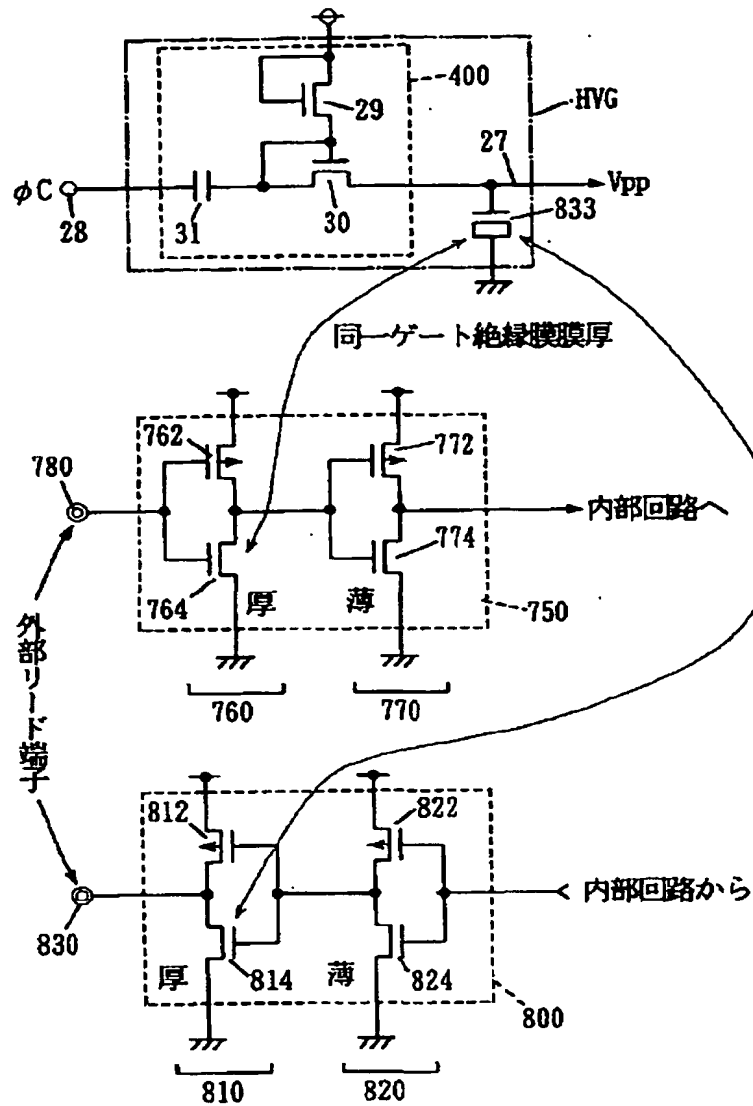
【補正対象書類名】図面

【補正対象項目名】図24

【補正方法】変更

【補正内容】

【図24】



フロントページの続き

(51)Int. Cl. 5

識別記号

庁内整理番号
7210-4M

F I

H 0 1 L 27/10

技術表示箇所

3 2 5 V